

ワン・チップ計算回路の設計・試作 [ものづくり教育]

An Advanced Production Activity Education: Design and Fabrication for a One-Chip Calculation Circuit

波多野 裕*、岡部 恵太**
Hiroshi HATANO and Keita OKABE

Abstract : A one-chip calculation circuit which consists of an encoder circuit, register circuits, an adder circuit, a multiplexer circuit and a control circuit has been originally and successfully designed and fabricated using a double polysilicon and double metal 1.2 μm CMOS technology, in collaboration with VDEC. The one-chip calculation circuit has confirmed to function correctly by SPICE simulations.

1. 緒言

2011年3月11日の大震災が契機となり、VDEC(東京大学大規模集積システム設計教育研究センター)発足以前のテストランから続いてきたオンセミ社1.2 μm CMOSプロセスによるチップ試作が2011年9月の設計を最後に幕を閉じた。本報告は試作終了間近に設計・試作したワン・チップ計算回路に関する報告である。

1.2 μm CMOSプロセスは筆頭著者が基本設計を行った宇宙ステーションで使用されているゲートアレイ¹⁾とほぼ同程度のデザインルールである。(ゲートアレイは半導体メーカーがトランジスタ・レベルから基本設計を行い、ユーザーがパーソナライズ、即ち個別回路化する設計方式である。FPGAのGAもゲートアレイである。) 枯れた技術ではあるが、コスト的には本学の学生1人の卒研費程度でLSI回路の設計・試作が可能であるため、設計経験を持つ適切な指導者のもとで有効な「ものづくり教育」を実施することができる^{2) 3)}。1年の空白の後、2012年9月から後継プロセスのテストランが開始された。光栄なことに、当研究室は多数のチップ試作を行ってきた実績(附録参照)が認められVDECから無料試作テストランへの参加打診を受けた⁴⁾。

第2章ではエンコーダ回路、D-FF回路を用いたレジスタ回路、4bit加算回路、マルチプレクサ回路、計算回路の動作を制御する制御回路からなる1チップの計算回路の全体構成を説明する。第3章以降では計算回路を構成する各回路について記述する。また、シミュレーション結果と試作結果を示す。更に、このワン・チップ回路を、市販ICの74シリーズにより構成した場合と比較する。

2. 全体回路の構成

設計した計算回路は、0から9までの10進数で入力される入力データ(被加数・加数)を2進数データへ変換するエンコーダ回路、4個のD-FF回路で構成するレジスタ2個、4bit加算回路、入力されたデータと4bit加算回路の計算結果のどちらかを選択出力するマルチプレクサ回路、計算回路全体の各キー入力に応じたレジスタの制御、マルチプレクサの信号切り替え、エラー表示などを行う制御回路から構成した。計算回路全体のブロック回路図を1に示す。

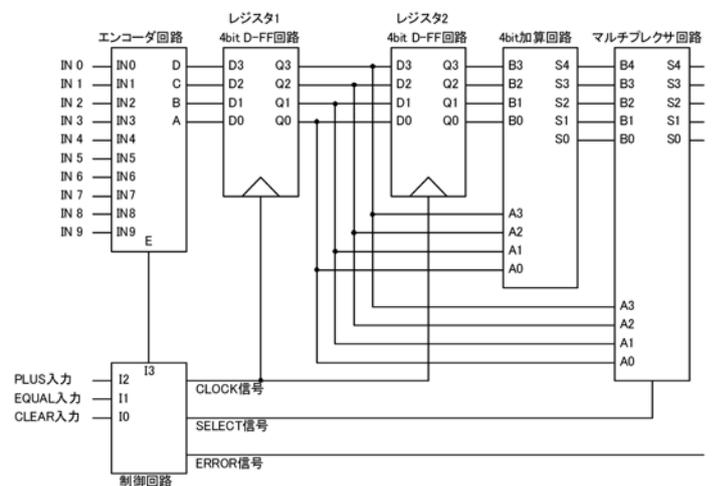


図1 設計・試作した計算回路のブロック図

3. エンコーダ回路

エンコーダ回路の計算回路全体での役割は10進数で入力される入力データ(被加数・加数)を2進数データへ変換する回路である。トランジスタ回路図を図2に示す。

2013年1月10日受理

* 理工学部 電気電子工学科

** 理工学部 電気電子情報工学科卒業生 (2011年3月最優秀卒業研究発表賞受賞)

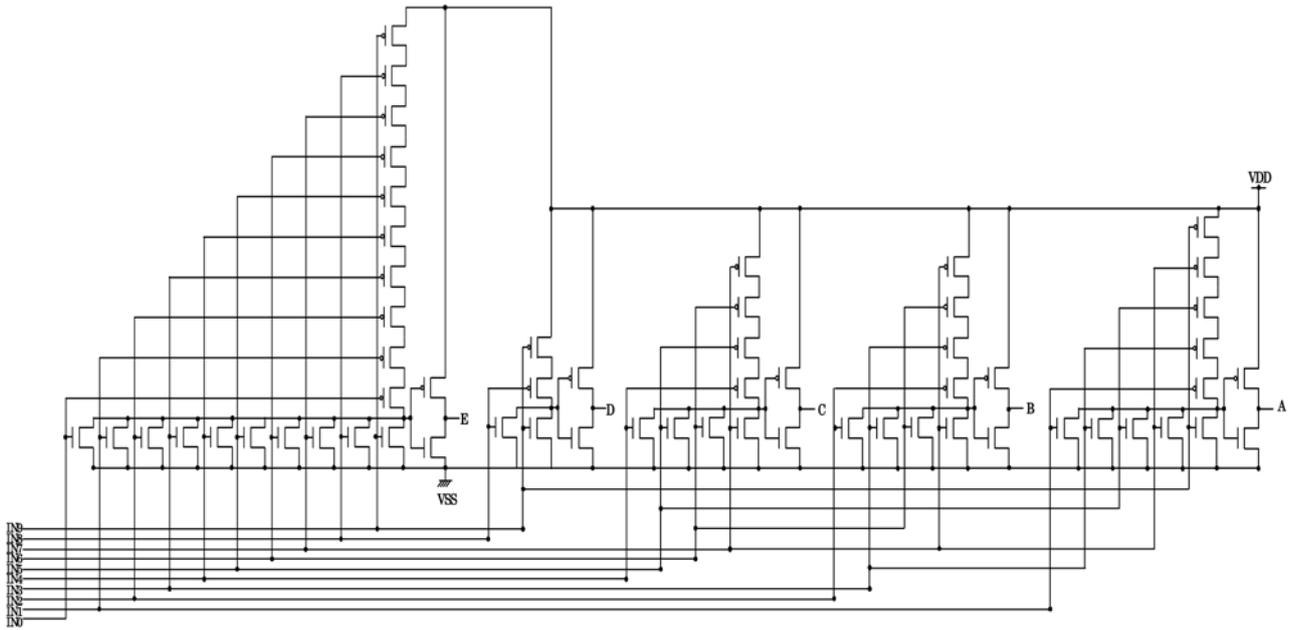


図2 エンコーダ回路のトランジスタ回路図

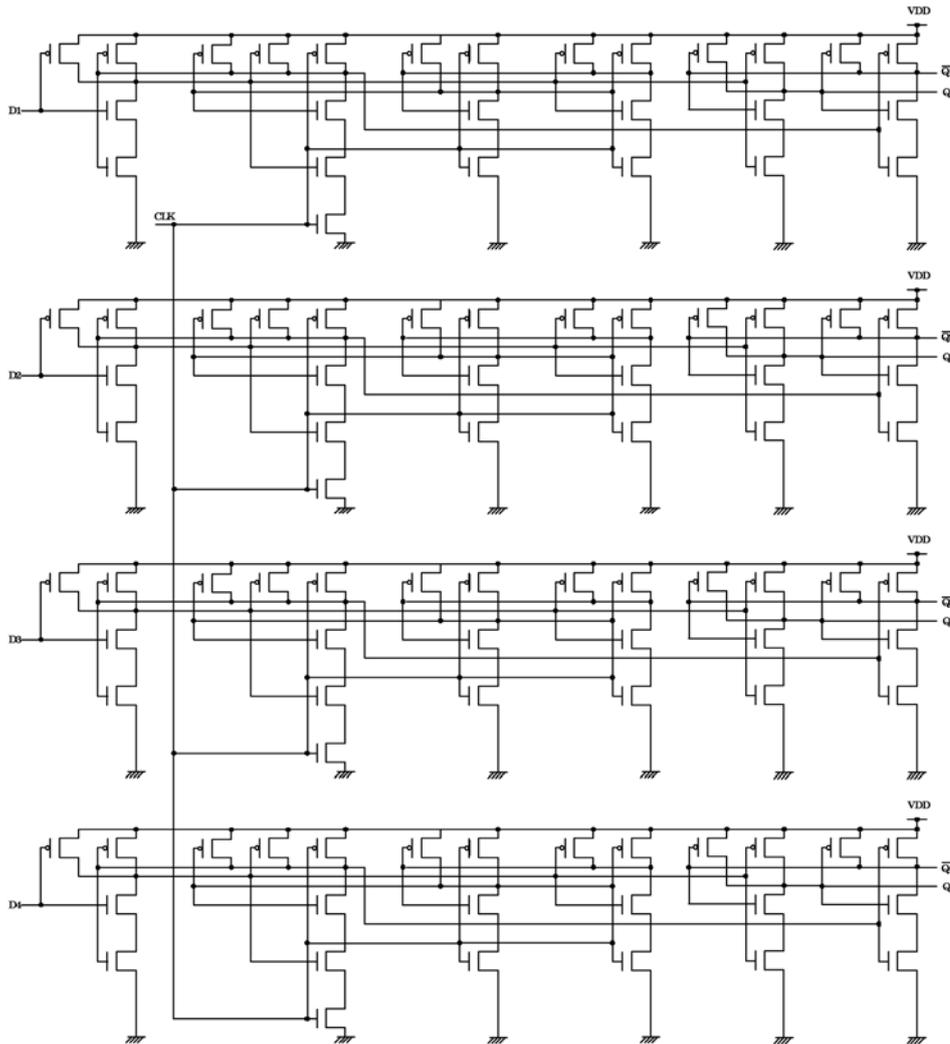


図3 レジスタ回路のトランジスタ回路図

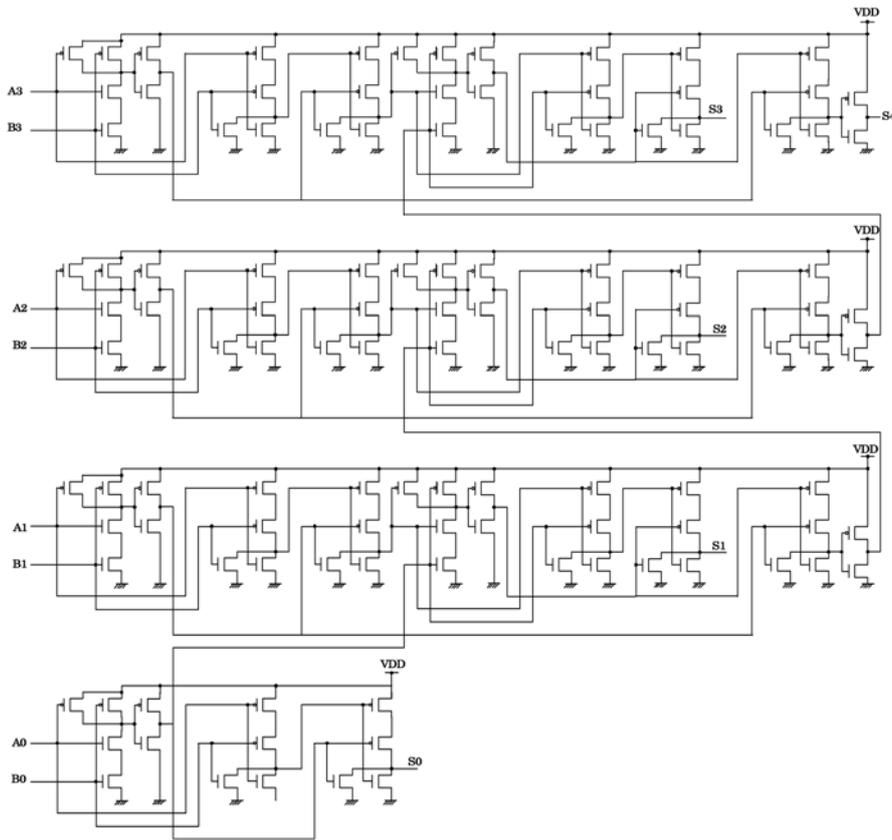


図4 4bit 加算回路のトランジスタ回路図

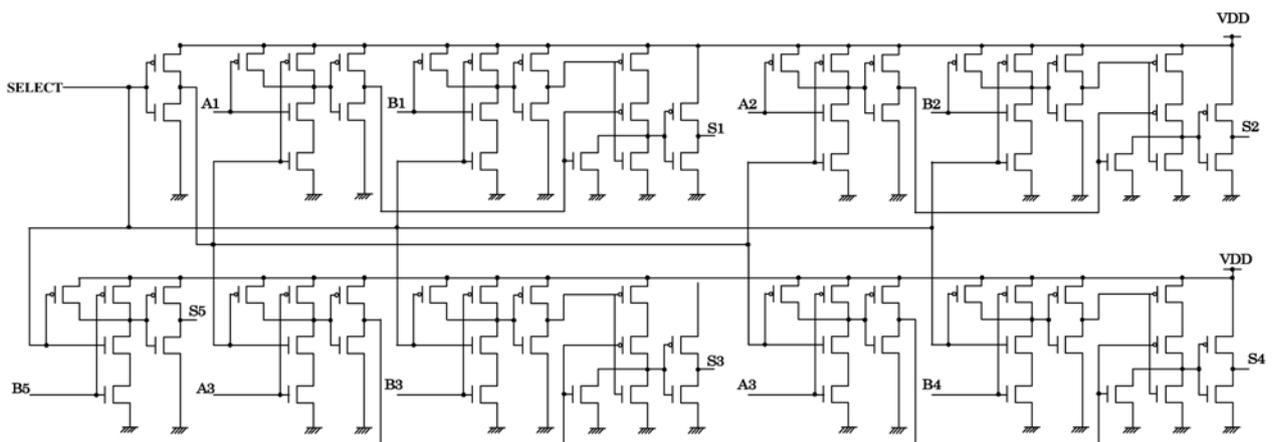


図5 マルチプレクサ回路のトランジスタ回路図

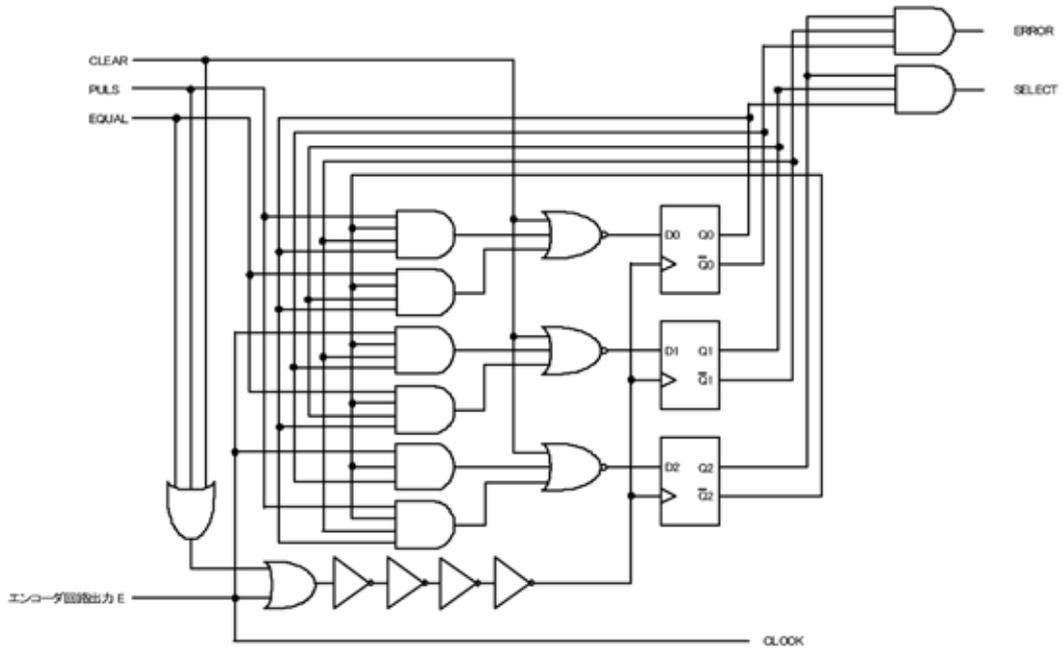


図6 制御回路の論理回路図

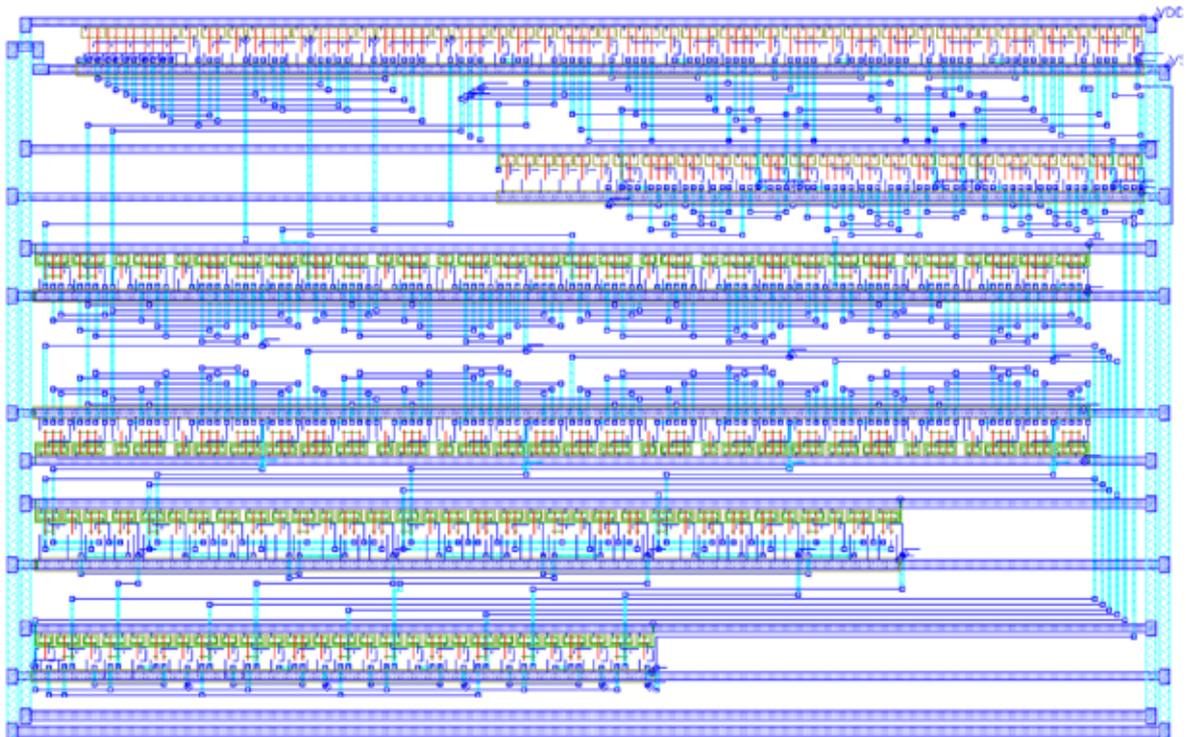


図7 計算回路全体のレイアウト図

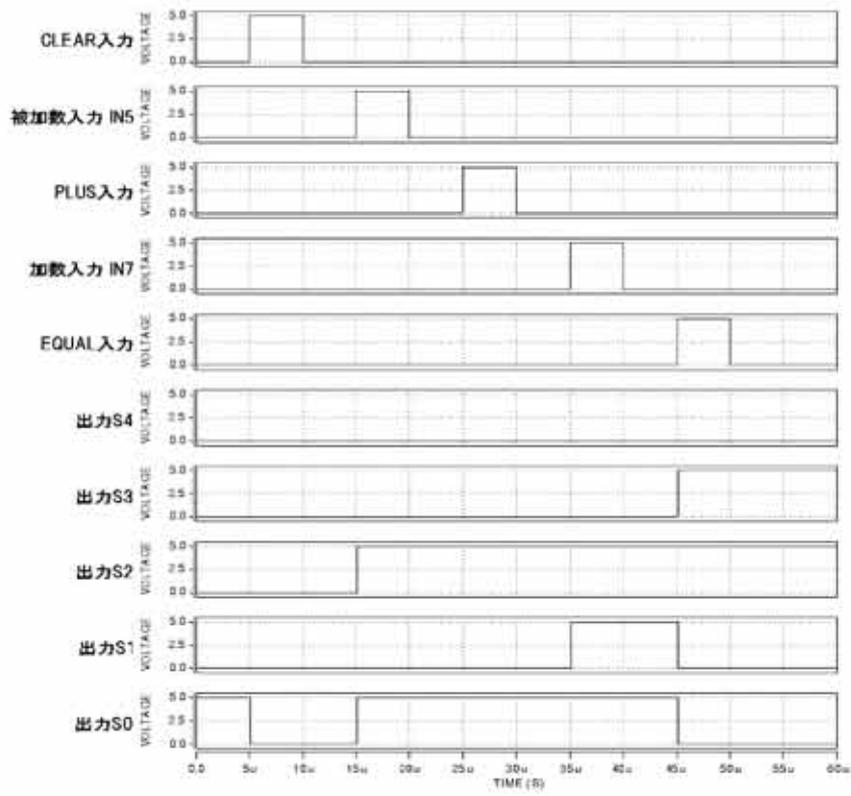


図8 計算回路全体のシミュレーション結果

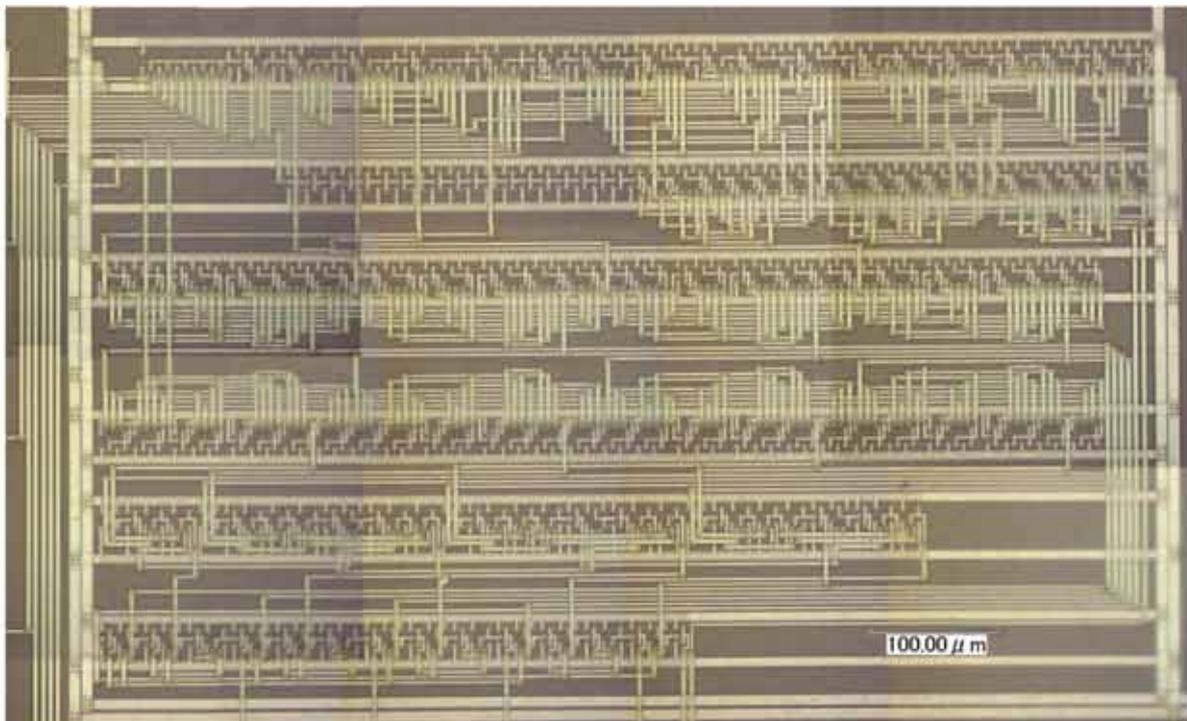


図9 試作回路の顕微鏡写真

4. D-FF 型レジスタ回路

D-FF 型レジスタ回路の計算回路全体での役割は、入力された 2 進数データの記憶をする回路である。レジスタ回路は、4 個のポジティブエッジ型 D-FF 回路で構成している。トランジスタ回路図を図 3 に示す。

5. 4bit 加算回路

4bit 加算回路の計算回路全体での役割は、入力データの加算計算する回路である。4bit 加算回路は半加算回路 1 個と全加算回路 3 個で構成している。トランジスタ回路図を図 4 に示す。

6. マルチプレクサ回路

マルチプレクサ回路の計算回路全体での役割は、入力されたデータ(被加数・加数)と 4bit 加算回路の計算結果のどちらかを SELECT 信号に対応して出力する回路である。トランジスタ回路図を図 5 に示す。

7. 制御回路

制御回路の計算回路全体での役割は、計算回路全体の各キー入力の種類に対応したレジスタの動作、マルチプレクサの出力切り替えや誤動作のエラー表示などを行う回路である。論理回路図を図 6 に示す。

8. レイアウト設計

図 1 のブロック回路図を基にレイアウト設計を行った。図 7 に計算回路のレイアウト図を示す。総トランジスタ数は、772 個、レイアウト面積は、0.86[mm]×0.64[mm]である。レイアウトパターンから抽出した入力ファイルを用いて、SPICE により回路シミュレーションを行った。

9. 計算回路の動作

図 8 に計算回路のシミュレーション波形を示す。5 + 7 = 12 について説明する。まず、CLEAR 入力で計算回路の初期化を行い、被加数 5 入力、PLUS 入力、加数 7 入力、最後に EQUAL を入力して計算結果を出力した。IN0 から IN9 の入力のうち IN5 と IN7 以外は 0[V]なので省略した。マルチプレクサ回路は、被加数、加数、計算結果の 3 つのデータを制御回路からの制御信号で表示切り替えを行う。図 8 より、45[μs]から 50[μs]の間で S4=0、S3=1、S2=1、S1=0、S0=0 なので、計算回路が正しく動作していることが確認できた。

10. 試作結果

2 層ポリシリコン 2 層アルミ 1.2μm CMOS プロセス (NMOS 実効チャネル長 0.9μm、PMOS 実効チャネル長 0.8μm) を用いてチップを試作した。図 9 に試作回路の顕微鏡写真を示す。

11. ワン・チップ化の効果

設計した計算回路を、市販 IC の 74 シリーズ (1.2μm CMOS) で実現しようとする表 1 に示すように、IC が 18 個必要である。74 シリーズ IC パッケージのサイズは 19.75[mm]×7.8[mm]で、総面積は、2779.9[mm²]となる。それに対して、試作したチップのパッケージ面積は、14[mm]×14[mm]であるため、1 チップ化することにより、市販 IC チップで回路を設計した場合と比較すると基板上面積を 1/14 にすることができた。

更に、パッケージ間配線の削減による高速化、部品点数削減による高信頼化などは言うまでも無い。

表 1 計算回路を 74 シリーズ IC で構成した場合のチップ数、面積

IC 名	機能	搭載 回路 数	必要 IC 数	パッケージ 縦寸法 [mm]	パッケージ 横寸法 [mm]	合計 面積 [mm ²]
TC74HC32AF	2 入力 OR	4	4	7.8	19.75	616.4
TC74HC4075AF	3 入力 OR	3	2	7.8	19.75	308.2
TC74HC27AF	3 入力 NOR	3	1	7.8	19.75	154.1
TC74HC08AF	2 入力 AND	4	3	7.8	19.75	462.3
TC74HC11AF	3 入力 AND	3	1	7.8	19.75	154.1
TC74HC21AF	4 入力 AND	2	3	7.8	19.75	462.3
TC74HC04AF	NOT	6	1	7.8	19.75	154.1
TC74HC174AF	D-FF	6	2	7.8	19.75	308.2
TC74HC283AF	4bit 加算回路	1	1	7.8	19.75	154.1
総計			18			2779.9

12. 結 言

エンコーダ回路、D-FF 回路を用いたレジスタ回路、4bit 加算回路、マルチプレクサ回路、計算回路の動作を制御する制御回路を組み合わせて計算回路の設計を、2層ポリシリコン2層アルミ1.2 μm CMOSプロセスで行った。回路全体のシミュレーションにより正常に動作していることが確認できた。74シリーズICと比較して1チップ化により基板上面積を1/14にすることに成功した。

なお、上記1.2 μm CMOSプロセスの終了を踏まえて、当研究室は0.18 μm CMOSプロセスによる設計技術を修得して、2012年2月に0.18 μm CMOSプロセスによるテスト回路設計を行い、2012年7月に試作チップ実測により、テスト回路動作を確認し、先端的CMOS技術による「ものづくり教育」を継続発展させている。

謝 辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センター(VDEC)を通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

参考文献

- 1) H. Hatano, I. Yoshii, M. Shibuya, S. Takatuka, T. Shinohara, T. Noguchi, K. Yamamoto, H. Fuji, and R. Abe, "A radiation-hardened 10k-gate CMOS gate array", IEEE Trans. Nucl. Sci., vol. NS-36, no.6, pp.2435-2438, 1989.
- 2) 波多野 裕, "学部学生のための集積回路CAD教育の試み," 静岡理工科大学紀要, vol. 2, pp. 27 - 42, 1993.
- 3) 波多野 裕, 林 良平, 袴田尚吾, 石川貴幸, "中計に基づく学生実験用測定評価デバイスの設計試作", 静岡理工科大学紀要, vol.16, pp.111-115, 2008.
- 4) 池田誠, "VDECの新たなチップ試作0.8 μm CMOS(オンセミ-SANYO)テストランへのご協力のお祝い", 2012.5.30. (筆頭筆者あて電子メール)

附 録 : VDEC 年報チップ試作レポート一覧

- (1) 波多野, 神尾, 吉山, "CVSL 基本論理回路群と CMOS 基本論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 94, 2010.
- (2) 波多野, 鈴木, 藤田, 馬淵, 加藤, "CVSL 基本論理回路群と CMOS 基本論理回路群及び SEE 検出回路などの設計試作", 東大大規模集積システム設計教育研究センター年報, p. 99, 2010.
- (3) 波多野, 鈴木, 内田, 原, 吉山, "CVSL 基本論理回路群と CMOS 基本論理回路群、FF 回路群、及び比較回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 123, 2009.
- (4) 波多野, 神尾, 吉田, "CVSL 基本論理回路群と CMOS 基本論理回路群、FF 回路群、及び比較回路群の設

計試作", 東大大規模集積システム設計教育研究センター年報, p. 122, 2009.

- (5) 波多野, 横井, 袴田, "大小比較回路群、10進デジタル計数回路群、及び学生実験用測定評価デバイスの設計試作", 東大大規模集積システム設計教育研究センター年報, p. 119, 2009.
- (6) 波多野, 横井, 久保田, 袴田, "学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 106, 2008.
- (7) 波多野, 加藤, 林, 石川, "学生実験用測定評価デバイス、及び比較器、ダイナミック論理回路、順序論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 107, 2008.
- (8) 波多野, 鈴木, 成島, 内田, 天野, "カスケード電圧スイッチ論理回路及び10進デジタル計数回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 102, 2008.
- (9) 波多野, 鈴木, 隈部, 山口, "カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 99, 2007.
- (10) 波多野, 成島, 福島, 加治, "カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 99, 2007.
- (11) 波多野, 加治, 岡本, 杉山, "カスケード電圧スイッチ論理回路、桁上げ伝搬加算回路、及び順序論理回路群の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 99, 2007.
- (12) 波多野, 鈴木, 森, 田力, 芝田, "計数回路、メモリレジスタ、および10進加算回路の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 93, 2007.
- (13) 波多野, 鈴木, 森, 芝田, 田力, "計数回路、メモリレジスタ、および10進加算回路の設計試作", 東大大規模集積システム設計教育研究センター年報, p. 93, 2007.
- (14) 波多野, 鈴木, 森, 田力, 芝田, "基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作", 東大大規模集積システム設計教育研究センター年報, p. 146, 2006.
- (15) 波多野, 田力, 鈴木, 森, 芝田, "基本論理ゲート速度評価回路と加算回路、計数回路、メモリレジスタの設計試作", 東大大規模集積システム設計教育研究センター年報, p. 146, 2006.
- (16) 波多野, 磯部, 小林, 里中, 水口, 村松, 山本, "10進デジタル回路およびニューロンMOS回路の設計試作", 東大大規模集積システム設計教育

- 研究センター年報, p. 140, 2006.
- (17) 波多野、山本、磯部、小林、里中、水口、村松、“高信頼順序論理回路、10進デジタル回路、及びデジタル要素回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 58, 2005.
- (18) 波多野、磯部、小林、里中、水口、村松、山本、“高信頼順序論理回路、10進デジタル回路、及びデジタル要素回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 59, 2005.
- (19) 波多野、村松、水口、小林、里中、磯部、山本、“高信頼順序論理回路、10進デジタル回路、及びデジタル要素回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 59, 2005.
- (20) 波多野、渋谷、縣、北村、永野、村松、望月、“NOR論理ゲート速度性能評価回路とマイクロプロセッサの設計”、東大大規模集積システム設計教育研究センター年報, p. 51, 2005.
- (21) 波多野、渋谷、縣、北村、永野、村松、望月、“NAND論理ゲート速度性能評価回路とマイクロプロセッサの設計”、東大大規模集積システム設計教育研究センター年報, p. 51, 2004.
- (22) 縣、北村、永野、村松、望月、波多野、“4ビットマイクロプロセッサの設計”、東大大規模集積システム設計教育研究センター年報, p. 50, 2003.
- (23) 村松、縣、北村、永野、望月、波多野、“マイクロプロセッサ検討用回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 69, 2002.
- (24) 増田、笹ヶ瀬、田中、山田、落合、波多野、“4ビットマイクロプロセッサとニューロンMOS回路”、東大大規模集積システム設計教育研究センター年報, p. 78, 2001.
- (25) 河原崎、伊藤、小松原、竹下、仲本、石倉、波多野、“マイクロプロセッサ回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 79, 1999.
- (26) 中西、古橋、山本、落合、波多野、“ニューロンMOS回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 80, 1999.
- (27) 石倉、落合、波多野、“2ビットマイクロプロセッサとニューロンMOS回路の設計”、東大大規模集積システム設計教育研究センター年報, p. 80, 1999.
- (28) 落合、石倉、伊藤、河原崎、竹下、仲本、波多野、“ニューロンMOS回路群と2ビットマイクロプロセッサの試作”、東大大規模集積システム設計教育研究センター年報, p. 131, 1999.
- (29) 落合、波多野、“ニューロンMOSマクロモデル検証用の試作回路”、東大大規模集積システム設計教育研究センター年報, p. 66, 1999.
- (30) 石倉、波多野、“マクロセルライブラリを用いた2ビットマイクロプロセッサの設計”、東大大規模集積システム設計教育研究センター年報, p. 67, 1999.
- (31) 落合、石倉、山本、西田、光岡、波多野、“CMOSマクロセル群とニューロンMOSマクロモデルの検証”、東大大規模集積システム設計教育研究センター年報, p. 55, 1998.
- (32) 石倉、山田、藤元、西浦、波多野、“CMOS VLSI高性能化の検討のためのテスト回路の設計と実測結果”、東大大規模集積システム設計教育研究センター年報, p. 60, 1997.
- (33) 鈴木、山田、石倉、鈴木、波多野、“フルカスタム設計CMOS回路の性能比較”、東大大規模集積システム設計教育研究センター年報, p. 70, 1997.
- (34) 鈴木、高崎、山本、波多野、“0.5ミクロンCMOS回路と1.2ミクロンCMOS回路の性能比較”、東大大規模集積システム設計教育研究センター年報, p. 89, 1997.
- (35) 藤元、山田、西浦、波多野、“MOS VLSI設計方式及び高性能化の検討のためのテスト回路の設計と評価結果”、東大大規模集積システム設計教育研究センター年報, p. 20, 1996.