

# 宇宙用 2 重ラッチ回路の S E U 効果

## SEU Effects on Spaceborne Dual Latch Circuits

波多野 裕\*

Hiroshi HATANO

**Abstract :** Single-event-upset (SEU) effects on a novel latch circuit with dual feedback loops have been investigated using SPICE. SEU simulation results have confirmed that the newly designed dual latch circuit has high SEU immunity. Single-event-upset immunity for the dual latch circuit is compared to that for the conventional latch circuit, showing that the dual latch circuit is a candidate for a SEU immune spaceborne sequential logic circuit.

### 1. 緒言

宇宙環境で使用される CMOS 集積回路は放射線の電離作用の影響が積算されて半永久的特性劣化を生じさせるトータル・ドーズ効果や単一の高エネルギー荷電粒子によるラッチアップ現象や回路の一時的誤動作であるシングル・イベント・アップセット (SEU) に対する耐性強化が必要である<sup>1)</sup>。

本報告では、SEU 耐性を強化した順序論理回路として、トランジスタ・レベルから回路設計を行い実際に  $1.2\mu\text{m}$  CMOS プロセス (実効チャネル長 NMOS  $0.9\mu\text{m}$ 、PMOS  $0.8\mu\text{m}$ )<sup>2)-6)</sup> を用いて試作して、試作チップの実測によりその機能動作を確認することに成功した 2 重ラッチ回路<sup>7)</sup> に対する SEU 耐性をシミュレーションにより検討した結果を報告する。

### 2. 2 重ラッチ回路

図 1 に SEU 対策を施した 2 重ラッチ回路のトランジスタ回路図を示す。従来のラッチ回路と比較すると、D 入力を受ける NMOS と PMOS を除いて 1 段目のクロック形 CMOS インバータ、次の CMOS インバータ及び 2 段目のクロック形 CMOS インバータの全ての回路部分が 2 重になっている。

### 3. SEU シミュレーション<sup>8)</sup>

CMOS 回路の内部の逆バイアス状態の PN 接合に荷電粒子が照射されると空乏層に電荷が発生して PN 接合をショートさせる。サブミクロン CMOS プロセスで試作された LSI における荷電粒子誘起電荷は約  $400\text{ fC}$  である<sup>9)</sup>。同一バイアス条件で、この電荷量を変化させ、SEU の発生を観測して、回路の SEU 耐性を検討した。

図 2 に示す従来のラッチ回路のノード X がハイ・レベルの状態状態で NMOS の PN 接合が逆バイアスの時に荷電粒

子が入射するという想定でシミュレーションを行った。

図 3 に示す 2 重ラッチ回路のノード X がハイ・レベルの状態状態で NMOS の PN 接合が逆バイアスの時に荷電粒子が入射するという想定でシミュレーションを行った。更に、ノード Y がハイ・レベルの状態状態で NMOS の PN 接合が逆バイアスの時に荷電粒子が入射するという想定でシミュレーションを行った。

従来のラッチ回路に対するシミュレーション結果例を図 4 と図 5 に示す。200 ns において 500 fC の荷電粒子誘起電荷が発生した場合の回路動作を図 4 に示す。電荷が消えた後は出力 Q が正常なロー・レベルに戻っているため回路誤動作は発生していない。一方、図 5 は 200 ns で 560 fC の荷電粒子誘起電流が発生した場合の回路動作を示すが、出力 Q が 200 ns からハイ・レベルになり回路誤動作が発生していることがわかる。

2 重ラッチ回路に対するシミュレーション結果を図 6 から図 9 に示す。ノード X において  $5\mu\text{s}$  において 560 fC

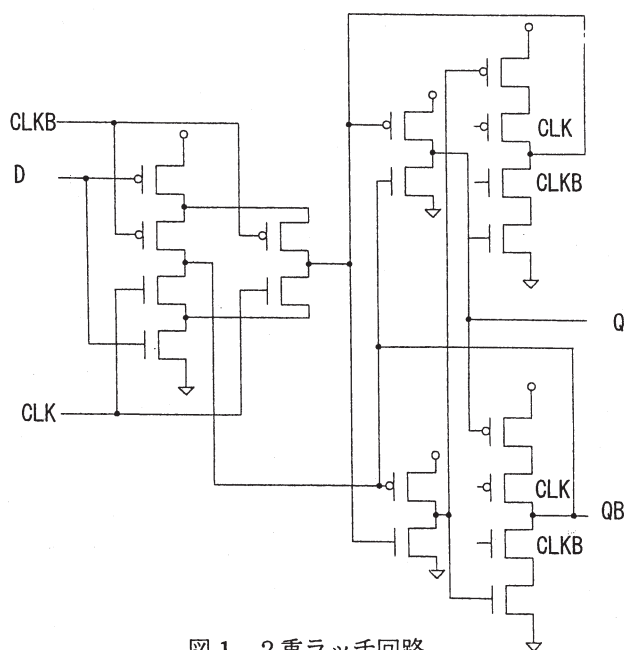


図 1 2 重ラッチ回路

2007 年 3 月 5 日受理

\*理工学部 電気電子情報工学科

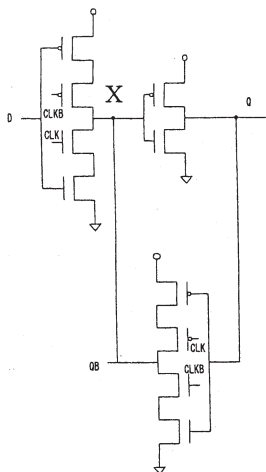


図2 従来のラッチ回路のノードX

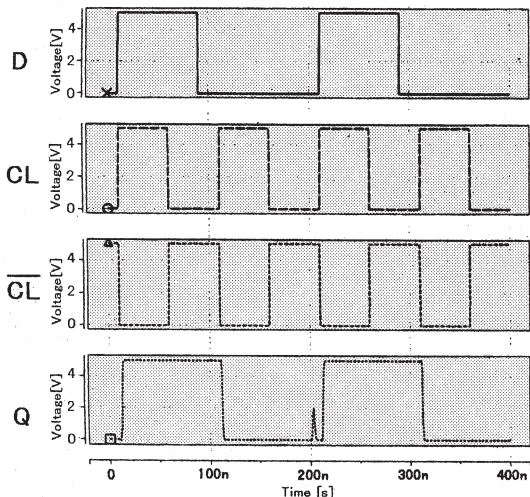


図4 従来のラッチ回路のノードXに 500 fC の電荷が誘起された時のシミュレーション結果

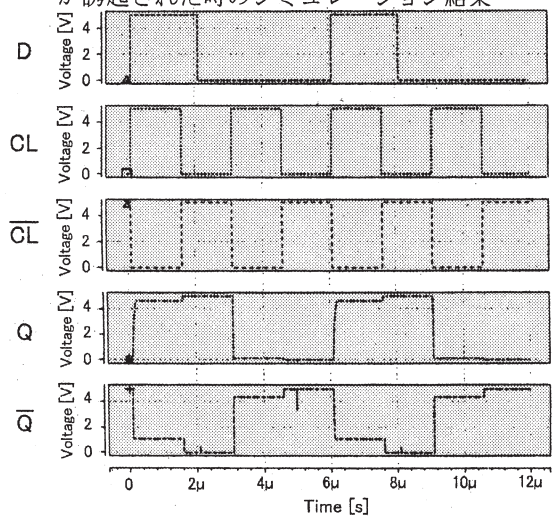


図6 2重ラッチ回路のノードXに 560 fC の電荷が誘起された時のシミュレーション結果

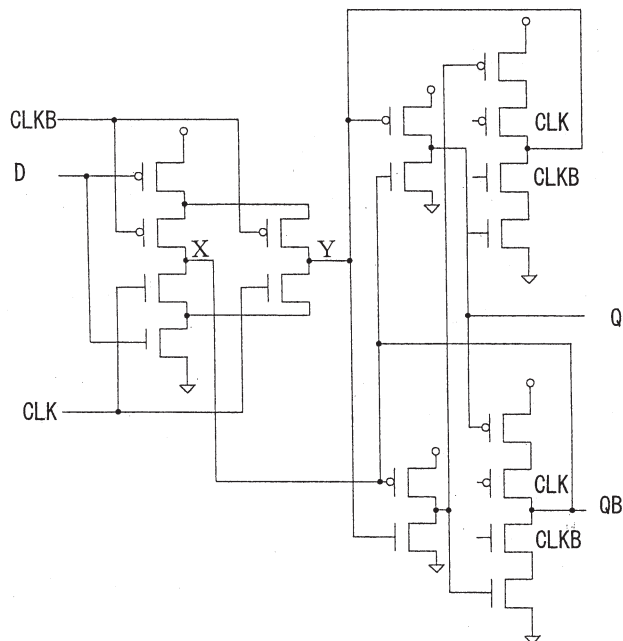


図3 2重ラッチ回路のノードX及びノードY

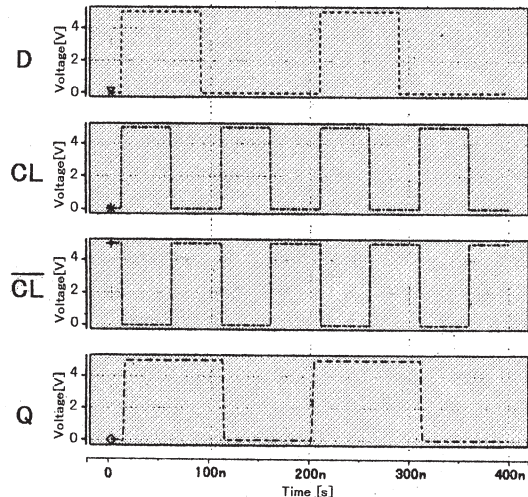


図5 従来のラッチ回路のノードXに 560 fC の電荷が誘起された時のシミュレーション結果

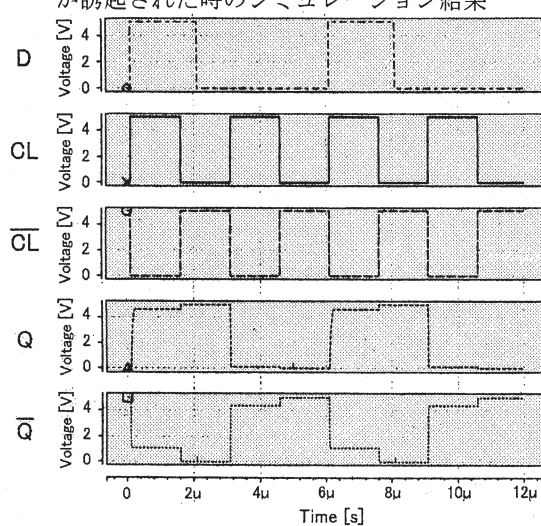


図7 2重ラッチ回路のノードXに 560 fC の電荷が誘起された時のシミュレーション結果

の荷電粒子誘起電荷が発生した場合の回路動作を図 6 に示す。ノード Y において  $5\mu\text{s}$  において  $560\text{fC}$  の荷電粒子誘起電荷が発生した場合の回路動作を図 7 に示す。電荷が消えた後、どちらも電圧レベルが元に戻っているため回路誤動作は発生していない。文献値  $400\text{fC}$  の  $1000$  倍の電荷がノード X に発生した場合を図 8 に、ノード Y に発生した場合を図 9 に示す。どちらの場合も回路誤動作は発生せず、2 重ラッチ回路の SEU 耐性をシミュレーションにより確認することに成功した。

#### 4. 結言

SEU 耐性を強化した順序論理回路として、トランジスタ・レベルから回路設計を行い実際に  $1.2\mu\text{m}$  CMOS プロセスを用いて試作して、試作チップの実測によりその機能動作を確認することに成功した 2 重ラッチ回路に対する SEU 耐性をシミュレーションにより検討した。

従来のラッチ回路が回路誤動作する荷電粒子誘起電荷のレベルより 3 桁高い誘起電荷レベルまで、2 重ラッチ回路は正常な回路動作を行うことをシミュレーションにより確認することに成功した。2 重ラッチ回路は宇宙用順序論理回路として有用な回路である。

2 重ラッチ回路に対するビーム照射実験が今後の課題である。

なお、SEU シミュレーションの動作周波数効果を含む詳細と 2 重ラッチ回路のトータル・ドーズ耐放射線性やラッチアップ耐性に関する耐放射線性<sup>10)-19)</sup>の報告は別の機会に譲る。

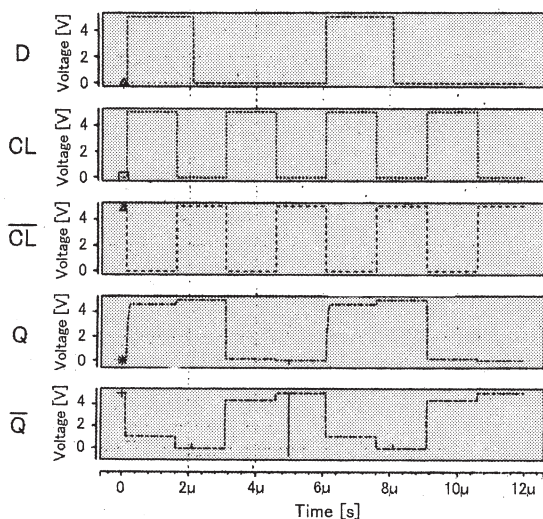


図 8 2 重ラッチ回路のノード X に  $400\text{pC}$  の電荷が誘起された時のシミュレーション結果

#### 謝辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

#### 参考文献

- 1) 波多野 裕, 耐環境 CMOS 超 LSI, (1996).
- 2) T.Ochiai and H.Hatano, "DC characteristic simulation for floating gate neuron MOS circuits", IEE Electronics Letters, vol.35, no. 18, pp.1505-1507, 1999.
- 3) T.Ochiai and H.Hatano, "A proposition on floating gate neuron MOS macromodeling for device fabrications", IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol.E82-A, no. 11, pp. 2485-2491, 1999.
- 4) T.Ochiai and H.Hatano, "A low temperature DC analysis utilizing a floating gate neuron MOS macromodel", IEICE Trans. Electron., vol.E86-C, pp. 1114 -1116, 2003.
- 5) H.Hatano and T.Ochiai, "77K DC characteristics for floating gate neuron MOS circuits", Proceedings of 4 th European Workshop on Low Temperature Electronics, pp.271-275, 2000.
- 6) H.Hatano and T.Ochiai, "Neuron MOS circuit performance improvements by low temperature operation", Proceedings of 4 th European Workshop on Low Temperature Electronics, pp.271-275, 2000.
- 7) 波多野 裕, 水口隆太郎, "宇宙用高信頼順序論理回路の設計試作", 静岡理科大学紀要, vol. 14, pp. 31-35, 2006.

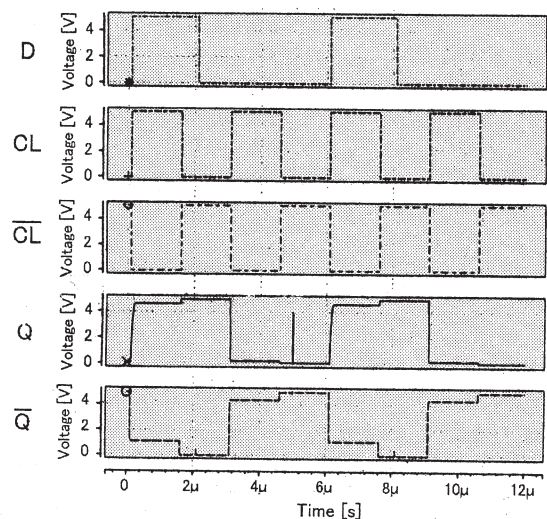


図 9 2 重ラッチ回路のノード Y に  $400\text{pC}$  の電荷が誘起された時のシミュレーション結果



- 8) 加治寛己, “順序論理回路の耐環境性評価”, 静岡理工科大学 2006 年度卒業論文.
- 9) M. C. Casey et al., “HDB using cascode-voltage switch logic gates for SET tolerant digital designs”, IEEE Trans. Nucl. Sci., vol.52, no.6, pp.2510-2515, 2005.
- 10) H. Hatano et al., “CMOS logic circuit optimum design for radiation tolerance”, IEE Electronics Letters, vol.19,no23., pp.977-979,1983.
- 11) H. Hatano et al., “Total dose radiation effects on CMOS ring oscillators operating during irradiation”, IEEE Electron Device Letters, vol.EDL-4, no.12, pp.435-437, 1983.
- 12) H. Hatano et al., “CMOS shift register circuits for radiation-tolerant VLSIs”, IEEE Trans. Nuclear Science, vol.NS-31, no.5, pp.1034-1038, 1984.
- 13) H. Hatano et al., “Radiation-tolerant high-performance CMOS VLSI circuit designs”, IEEE Trans. Nuclear Science, vol.NS-32.no.6,pp.4031-4035,1985.
- 14) H. Hatano et al., “Radiation-tolerant 50MHz bulk CMOS VLSI circuits utilizing radiation-hard NMOS transistors”, IEEE Trans. Nuclear Science, vol. NS-33, no.5,pp.1126-1130, 1986.
- 15) H. Hatano et al., “Total dose radiation-hardened latch-up free CMOS structures for radiation-tolerant VLSI designs”, IEEE Trans. Nuclear Science, vol.NS-33, no.6,pp.1505-1509, 1986.
- 16) H. Hatano et al., “A radiation-hardened 10K-gate CMOS gate array”, IEEE Trans. Nuclear Science, vol.NS-36, no.6, pp.2435-2438,1989.
- 17) H. Hatano, “Radiation hardened high performance CMOS VLSI circuits”, IEE PROCEEDINGS-G, vol.139, no.3, p.287-294, 1992.
- 18) H. Hatano et al., “Radiation-hard CMOS VLSI logics for space applications”, The Bulletin of SIST, vol.4, p.1-7, 1995.
- 19) 波多野, 渋谷, 望月, “ナノ秒6トランジスタ CMOS スタティック RAM の設計試作(1) メモリ・セルと光ビーム照射実験”, 静岡理工科大学紀要, vol. 12, p. 109-118, 2004.