

サブミクロン回路試作によるCMOSインバータの速度解析

A CMOS inverter speed-performance analysis utilizing fabricated sub- μ m circuits

波多野 裕*、芝田 通明**

Hiroshi HATANO and Michiaki SHIBATA

Abstract : In order to investigate high-speed logic circuits, two different CMOS inverter experimental circuits have been successfully designed and fabricated utilizing sub- μ m CMOS process. The designed circuits are twenty-seven stage inverter chains. Each inverter consists of four series NMOS transistors and four series PMOS transistors. 0.9 ns propagation delay time difference has been found for different inverter input conditions. Based on the results, a cascaded-gates CMOS inverter design methodology for high-speed LSIs is discussed.

1. 緒言

従来のLSI技術発展の指導原理はトランジスタの比例縮小（スケールリング）則¹⁾に従った高速化、高集積化であった。しかし、半導体プロセスの微細化の進展とともに微細化のみによるLSIの回路性能改善が困難になりつつある。

この微細化による高性能化の限界を克服するゲートレベルでの高性能化を検討するため、本研究では基本論理ゲートとしてMOSトランジスタを縦積みしたインバータ回路に着目した。

従来の研究では、縦積み回路構成における性能劣化の原因はトランジスタの基板バイアス効果によるしきい値電圧の上昇であると考えられていた²⁾。

本研究では、CMOSインバータの速度性能を詳細に解析するための2種類の実験回路を設計し、サブミクロンCMOSプロセスにより試作し、実測により、縦積みインバータの速度性能を決める支配的要因を明らかにして、微細化による高速化の限界を打ち破る一助とするための検討を行ったので、その結果を報告する。

2. 縦積みCMOSインバータ回路³⁾

トランジスタを縦積みにした2種類のCMOSインバータをサブミクロンCMOSデザイン・ルール^{4)~6)}により設計した。

図1(a)に4つのNMOSトランジスタと4つのPMOSトランジスタを直列に接続して、下端のNMOSのソースを接地端子に、上端のPMOSのソースを電源端子に接続し、中央のNMOSとPMOSのドレインを共通出力としたインバータを示す。入力信号は接地端子、電源端子から最も遠い中央のNMOSとPMOSのゲートに印加する。他のNMOSのゲートは電源端子に、他のPMOS

のゲートは接地端子に接続する。このインバータを「入力」が電源から遠いインバータ」、と呼ぶ。

図1(b)に示すインバータでは入力信号は、接地端子、電源端子にソースが接続されたNMOS、PMOSのゲートに印加する。他のNMOSのゲートは電源端子に、他のPMOSのゲートは接地端子に接続する。このインバータを「入力」が電源に近いインバータ」、と呼ぶ。

これらの2種類のインバータをそれぞれ27段接続した図1(c)のようなインバータ・チェーンを2種類設計した。

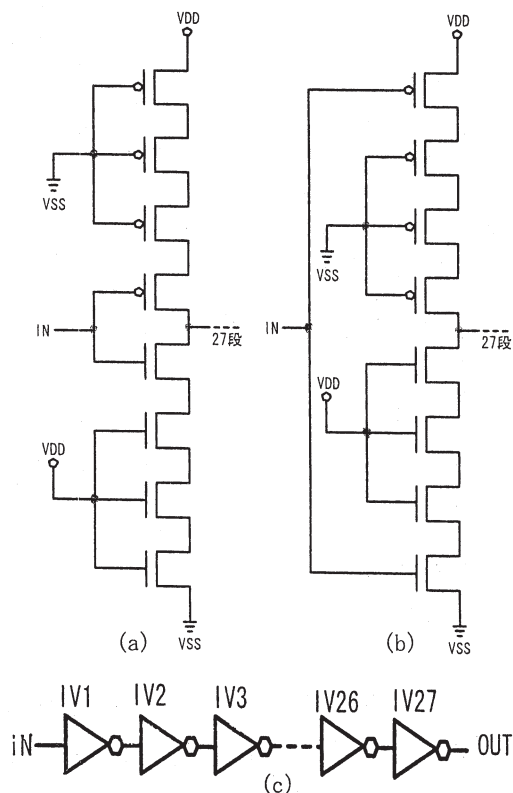


図1 試作した実験回路

接地 (V_{SS}) 側がNMOS、電源 (V_{DD}) 側がPMOS

(a) 入力「電源から遠いインバータ」のトランジスタ回路図

(b) 入力「電源に近いインバータ」のトランジスタ回路図

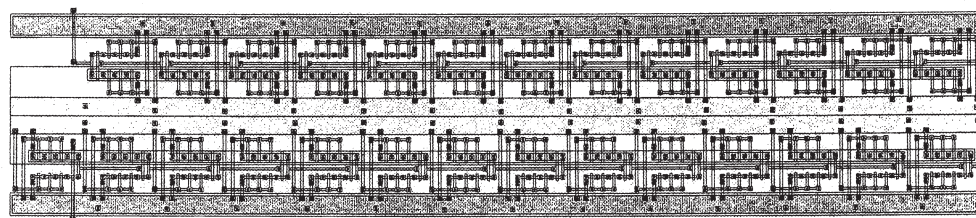
(c) 27段インバータ・チェーンの論理回路図

2007年2月15日受理

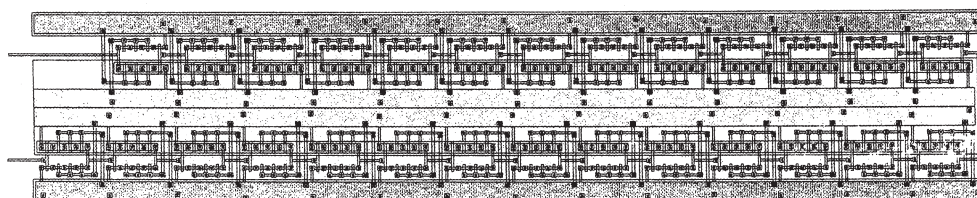
* 理工学部 電気電子情報工学科

** 理工学部 電子工学科卒業生

図2(a)に「入力電源から遠いインバータ」の27段チェーンのサブミクロンCMOSデザイン・ルールによるレイアウト図を示す。図2(b)に「入力電源に近いインバータ」の27段チェーンのレイアウト図を示す。



(a) 入力電源から遠いインバータ



(b) 入力電源に近いインバータ

図2 27段インバータ・チェーンのレイアウト図

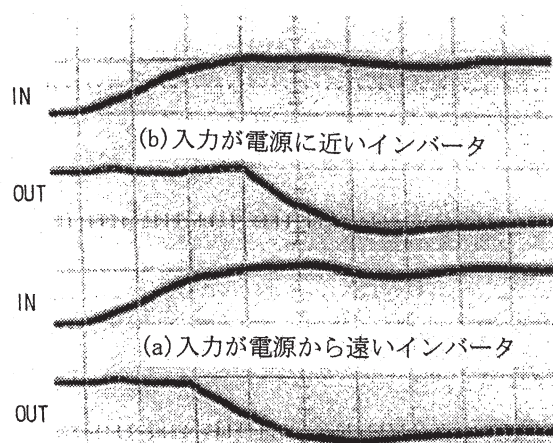


図3 27段インバータ・チェーンの遅延時間の実測結果

横軸：20 ns/div 縦軸：5 V/div

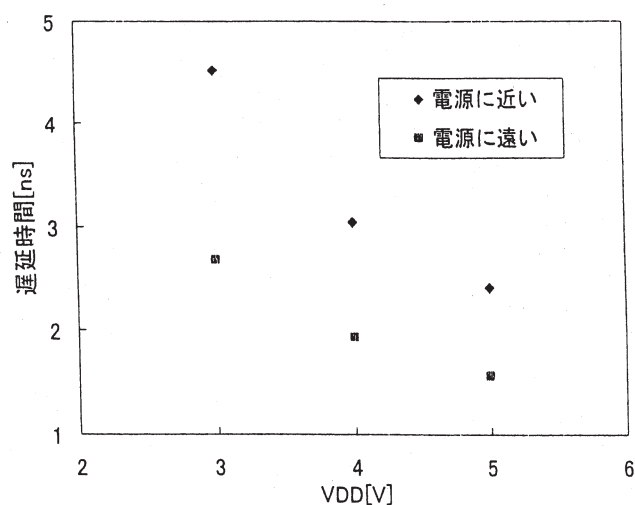


図4 インバータ1段当たりの遅延時間の実測結果

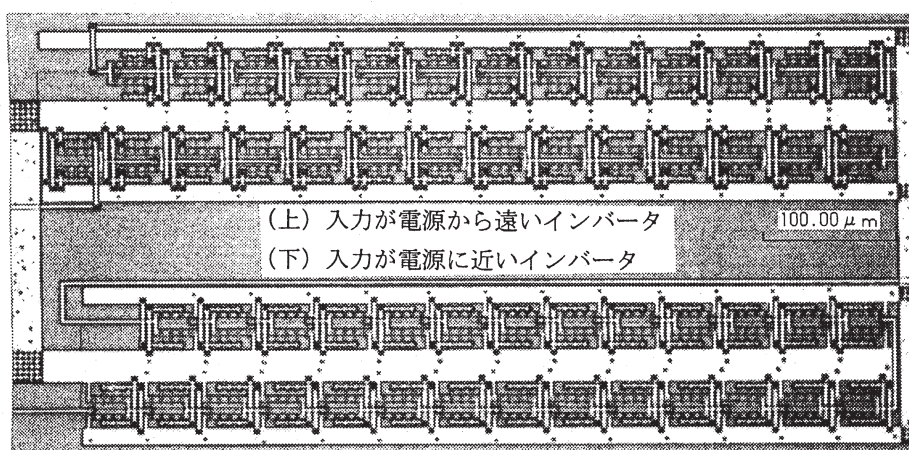


図5 27段インバータ・チェーンの顕微鏡写真

力が電源に近いインバータ」の27段チェーンの入出力波形を上側に示す。前者の応答が後者より約23ns速いことが判明した。1段当たりの遅延時間差は0.86nsである。

図4に実測から求めた、2種類の27段インバータ・チェーンの1段当たりの遅延時間の電源電圧依存性を示す。「入力が電源から遠いインバータ」の方が「入力が電源に近いインバータ」より高速で、更に、電源電圧が低くなる程、速度性能の差は大きくなることが明らかになった。スケールリング則に従う場合、電源電圧は低減されるので、今回明らかになった速度性能差は今後の回路設計において一層考慮しなければならない、と考えられる。また、図4の各データ・ポイントにおけるシミュレーションとの誤差は最大で6%程度であった。

今回、試作回路の実測から得られた、「入力が電源から遠いインバータ」の方が「入力が電源に近いインバータ」より高速である、という結果は、従来の、縦積み回路構成における性能劣化の原因はトランジスタの基板バイアス効果によるしきい値電圧の上昇に起因する²⁾、という説明とは逆の結果である。

即ち、今回の実験結果は、縦積み回路の速度性能を決める支配的要因が、トランジスタの基板バイアス効果によるしきい値電圧の上昇ではなく、トランジスタが駆動すべき負荷容量の大きさの違いであるということを示している。図1で説明すると、(a)の負荷容量は入力が印加されるトランジスタのドレイン容量、配線容量、次段のトランジスタのゲート容量である。一方、(b)の負荷容量は(a)に加えて、出力側にあるオン状態の3つのNMOSと3つのPMOSの合計である。この負荷容量の違いが縦積み回路の速度性能差の支配的要因と考えられる。

図5に試作回路の顕微鏡写真を示す。

4. 結言

縦積みインバータの速度性能を正確に解析するため、サブミクロンCMOSプロセスを用いて2種類の27段インバータ・チェーンを設計試作した。

試作回路の精密な実測の結果、縦積み回路の速度性能を決める支配的要因が、トランジスタの基板バイアス効果によるしきい値電圧の上昇ではなく、トランジスタが駆動すべき負荷容量の大きさの違いであるということが明らかになった。シミュレーションも6%程度の誤差で実測結果を支持している。本実験結果は、微細化による高速化の限界を打ち破るためのゲートレベルでの高性能化検討の一助となると考えられる。

謝辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通してオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、及び京セラ(株)の協力で行われたものである。

参考文献

- 1) R. H. Dennard et al., "Design of ion-implanted MOSFETs with very small physical dimensions", IEEE J. of Solid-State Circuits, SC-9, pp. 256-268, 1974.
- 2) 馬場俊祐, "沖電気のSOI技術の現状", 第4回半導体の放射線照射効果研究会予稿集, pp. 1-4, 2004.
- 3) 芝田通明, "メモリーレジスタの設計試作", 静岡理工科大学2005年度卒業論文.
- 4) T. Ochiai and H. Hatano, "DC characteristic simulation for floating gate neuron MOS circuits", IEE Electronics Letters, vol. 35, no. 18, pp. 1505-1507, 1999.
- 5) T. Ochiai and H. Hatano, "A proposition on floating gate neuron MOS macromodeling for device fabrications", IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol. E82-A, no. 11, pp. 2485-2491, 1999.
- 6) T. Ochiai and H. Hatano, "A low temperature DC analysis utilizing a floating gate neuron MOS macromodel", IEICE Trans. Electron., vol. E86-C, pp. 1114-1116, 2003.