

ゲート速度性能解析用実験回路の実測

Test circuit experimental results for logic gate speed-performance analyses

波多野 裕*

Hiroshi HATANO

Abstract : In order to investigate very-high-speed logic circuits, eight-input NAND and eight-input NOR logic experimental circuits have been successfully designed and fabricated utilizing double polysilicon and double metal $1.2 \mu\text{m}$ CMOS process. 2.7 ns propagation delay time difference has been found in eight-input NAND circuits for different input conditions. 2.8 ns propagation delay time difference has also been found in eight-input NOR circuits. These results obtained here should be carefully taken into account in very-high-speed LSI designs.

1. 緒言

スケーリング則¹⁾を指導原理とするLSIの高速化、高集積化が困難になりつつある現状を打ち破るため、ゲートレベルでの高性能化の検討が必要である。

このゲートレベルでの高性能化を検討するため、3入力NAND回路と3入力NOR回路を用いて入力印加条件依存性を明らかにして既にその結果を報告した。即ち、3入力NAND回路、3入力NOR回路において1段当たり約1 nsの入力条件依存性が存在することが明らかになった²⁾。

本論文では、超LSIの一層の複雑化を念頭に置いて多入力NAND回路と多入力NOR回路の速度性能を、8入力NAND回路と8入力NOR回路の設計試作により検討したので、サブミクロンCMOSプロセス³⁾⁴⁾⁵⁾による試作チップの実測結果を中心に報告する。

2. 8入力NAND/NOR回路⁶⁾

論理的には等価な回路構成における、トランジスタ・レベルまで考慮に入れた入力条件の違いが信号伝達速度に及ぼす影響を詳細に明らかにするためのNAND回路解析用の9種類の実験回路を図1に示す。NANDゲートにおける立上がり遅延時間と立下り遅延時間を分離するため、1段毎にインバータを具え、回路試作後、オシロスコープで実測可能な遅延時間となるように8入力NANDとインバータの組を50段接続した、8入力NAND+インバータの50段チェーンを設計した。図の一番上は8入力NAND回路の入力全てに同じ信号を印加する回路で、8入力同時変化NAND回路(8NAND)である。図の上から2番目以下の回路は8入力のうち7入力が V_{DD} に接続されていて残りの1つが入力となっていて8入力1

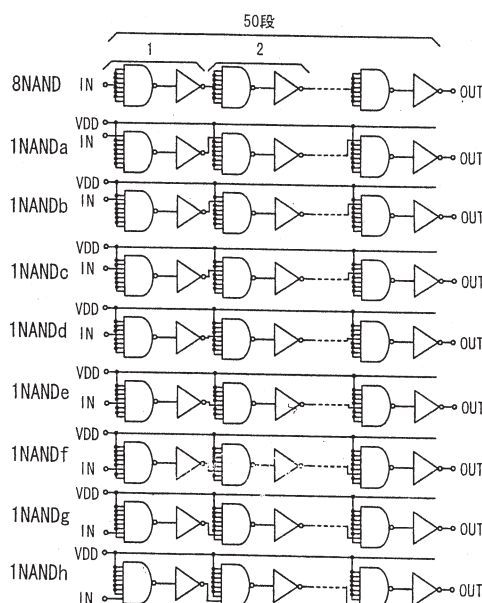


図1 8入力NAND+インバータの50段チェーン

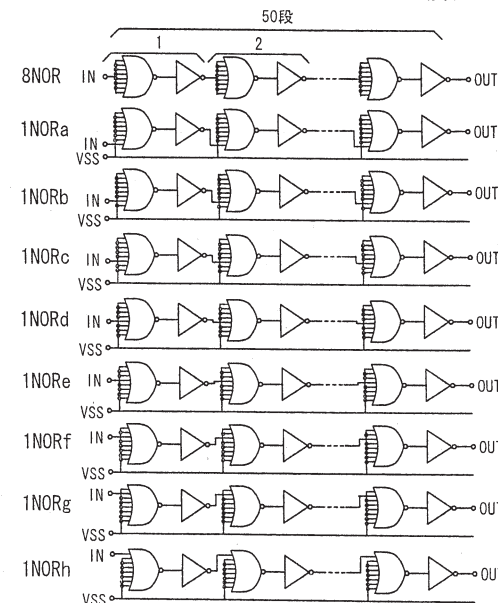


図2 8入力NOR+インバータの50段チェーン

2007年3月2日受理

* 理工学部 電気電子情報工学科

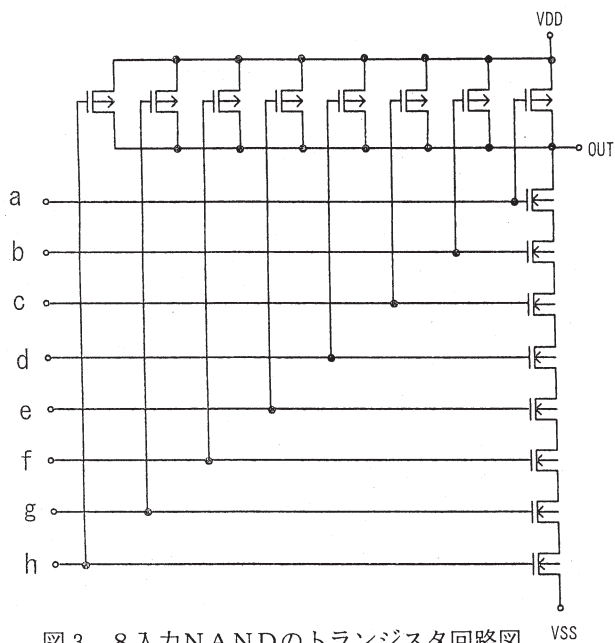


図3 8入力NANDのトランジスタ回路図

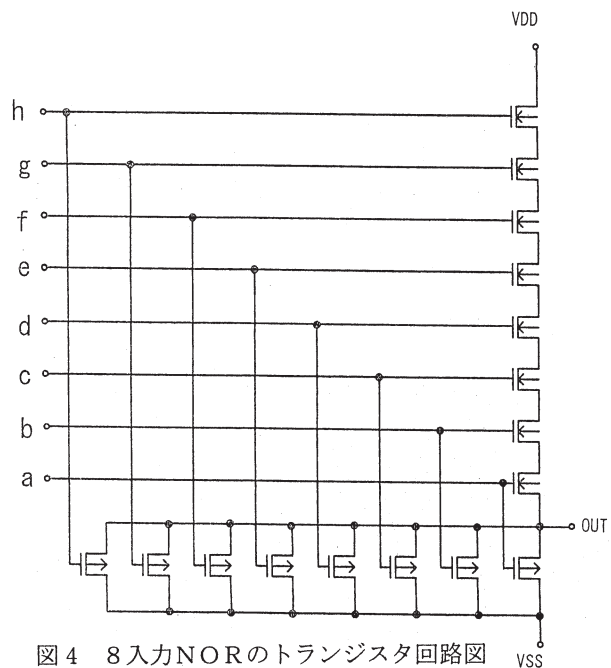
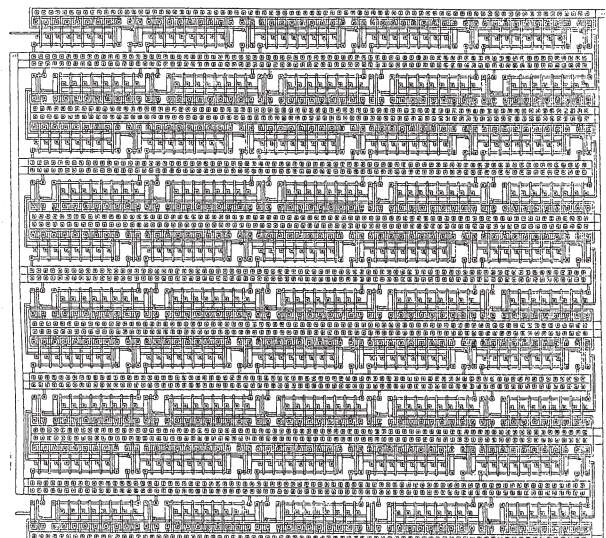
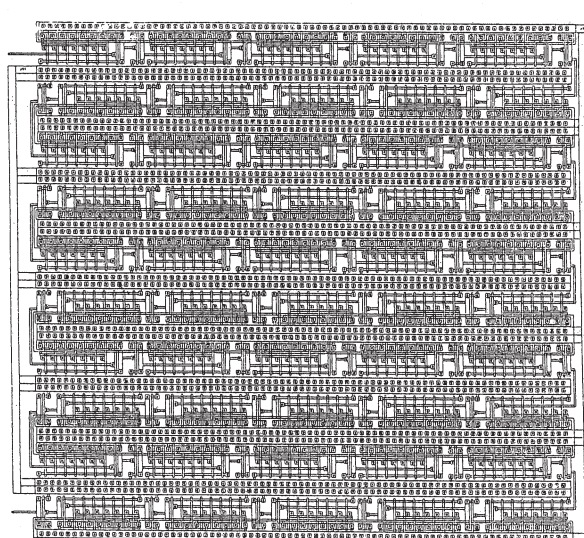
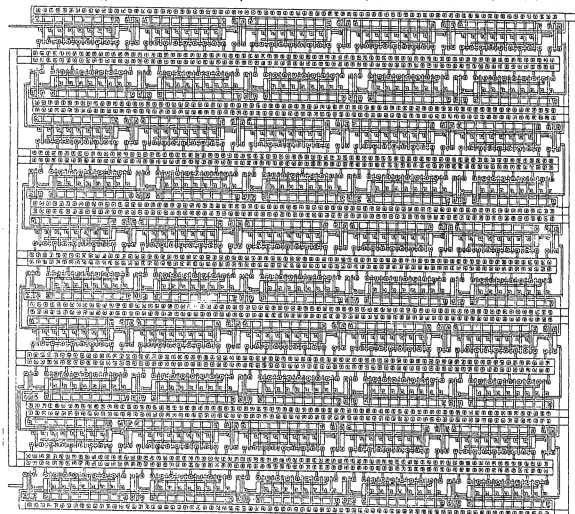
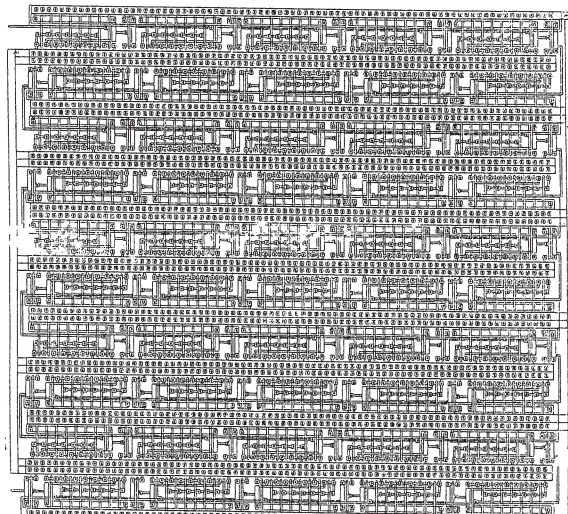


図4 8入力NORのトランジスタ回路図

図5 8入力同時変化NAND+インバータの
50段チェーン（8NAND）のレイアウト図図6 8入力1入力変化NAND+インバータの
50段チェーン（1NANDa）のレイアウト図図7 8入力同時変化NOR+インバータの
50段チェーン（8NOR）のレイアウト図図8 8入力1入力変化NOR+インバータの
50段チェーン（1NORa）のレイアウト図

入力変化NAND回路（1NAND）である。1NANDの8種類の回路は入力信号を印加する端子が異なっていて、入力端子が出力側に近い方から1NANDa、1NANDb、1NANDc、1NANDd、1NANDe、1NANDf、1NANDg、1NANDhとした。

同じくNOR回路解析用の9種類の実験回路を図2に示す。図の一番上は8入力NOR回路の入力全てに同じ信号を印加する回路で、8入力同時変化NOR回路（8NOR）である。図の上から2番目以下の回路は8入力のうち7入力がV_{ss}に接続されていて残りの1つが入力となっていて8入力1入力変化NOR回路（1NOR）である。1NORの8種類の回路は入力信号を印加する端子が異なっていて、入力端子が出力側に近い方から1NORa、1NORb、1NORc、1NORd、1NORE、1NORf、1NORG、1NORhとした。

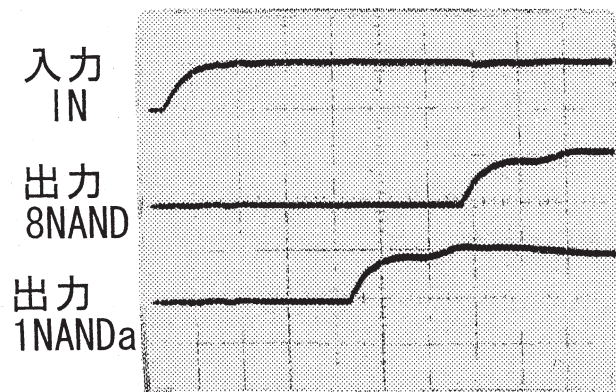


図9 8入力NAND+インバータの50段チェーン
実測結果 横軸：50ns/div. 縦軸：5V/div.

図3に8入力NAND回路のトランジスタ回路図を示す。NMOSが直列に8個、PMOSが並列に8個接続されて構成されている。

図4に8入力NOR回路のトランジスタ回路図を示す。PMOSが直列に8個、NMOSが並列に8個接続されて構成されている。

図5から図8に試作した実験回路のレイアウト図を示す。図5は50段8入力同時変化NAND+インバータ・チェーン（8NAND）のレイアウト図を示す。入力は左上から入り、左下に出力する回路である。図6は50段8入力1入力変化NAND+インバータ・チェーン（1NANDa）のレイアウト図である。図7は50段8入力同時変化NOR+インバータ・チェーン（8NOR）のレイアウト図を示す。図8は50段8入力1入力変化NOR+インバータ・チェーン（1NORa）のレイアウト図である。

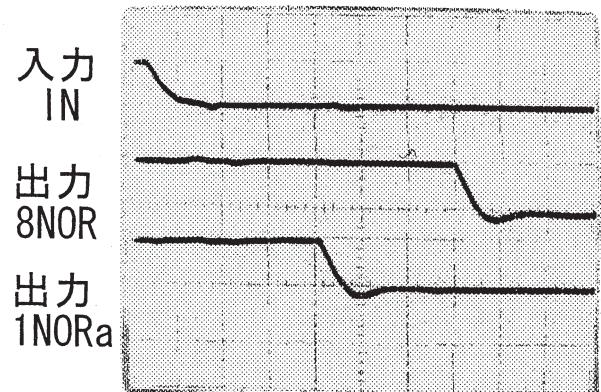
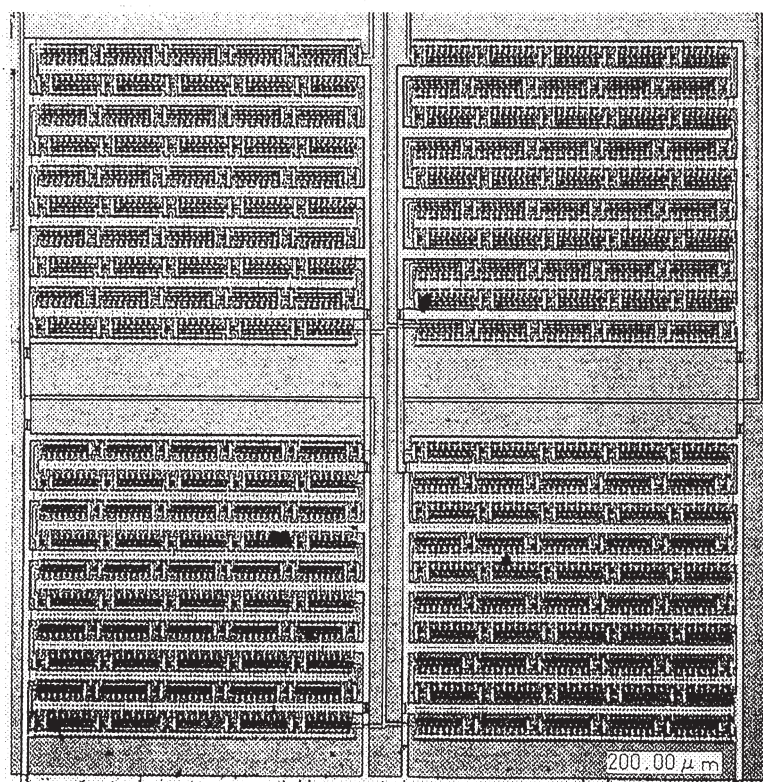


図10 8入力NOR+インバータの50段チェーン
実測結果 横軸：50ns/div. 縦軸：5V/div.

図11 4種類の50段チェーンの
顕微鏡写真（倍率：100倍）
8NAND：右下
1NANDa：右上
8NOR：左下
1NORa：左上



8入力1入力変化回路は文献(2)と同じように8NANDaと8NORaを試作した。

3. 実測結果

既報の「NAND及びNORゲート速度性能解析用実験回路の設計」²⁾で詳細に述べた測定原理に従って図5と図6の50段NAND+インバータ・チェーンの実測から、8入力NANDゲート1段当たりの8入力同時変化と1入力変化の遅延時間の差を求めた。

図9に電源電圧5Vにおける8NANDと1NANDaの出力波形を示す。50段通過後の遅延時間の差は約135nsである。

図10に電源電圧5Vにおける8NORと1NORaの出力波形を示す。50段通過後の遅延時間の差は約140nsである。

図11に試作回路の顕微鏡写真を示す。左上の回路が1NORa、右上が1NANDa、左下が8NOR、右下が8NANDである。

図12に8入力NAND回路における8入力同時変化と1入力変化の1段当たりの遅延時間差の電源電圧依存性を示す。黒丸が実測結果である。3チップの平均値を示す。また、白丸はシミュレーション結果である。

図13に8入力NOR回路における8入力同時変化と1入力変化の1段当たりの遅延時間差の電源電圧依存性を示す。黒丸が実測結果である。3チップの平均値を示す。また、白丸はシミュレーション結果である。

以上の実験結果から、8入力NAND回路では電源電圧5Vの時、入力条件の違いにより1段当たり約2.7nsの遅延時間差が発生することが判明した。また、8入力NOR回路では電源電圧5Vの時、入力条件の違いにより1

段当たり約2.8nsの遅延時間差が発生することが判明した。文献(2)で述べたように1.2 μ mCMOSプロセスで試作した回路の1段当たりの平均遅延時間は1ns程度以下であるため、これらの結果は無視することができない値である。なお、8入力同時変化と1入力変化の遅延時間差の原因は文献(2)で既に述べたとおりである。

4. 結言

超LSI回路におけるゲートレベルの速度性能改善の検討を行うため、8入力NAND回路と8入力NOR回路の回路速度の入力印加条件依存性を、1.2 μ mCMOSプロセスを用いて試作したチップの実測により実験的に明らかにした。

NAND回路では8入力同時変化回路の遅延時間が1入力変化回路より2.7ns遅いという結果が得られた。NOR回路では8入力同時変化回路の遅延時間が1入力変化回路より2.8ns遅いという結果が得られた。

本研究において得られた8入力回路の実測結果は複雑な超LSI回路の高速化の観点から回路設計上、十分考慮されなければならないと考えられる。一方、シミュレーションのみに基づく場合、多入力論理回路の回路速度劣化の入力印加条件依存性をオーバー・エスティメイトすることになることも判明した。

謝辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

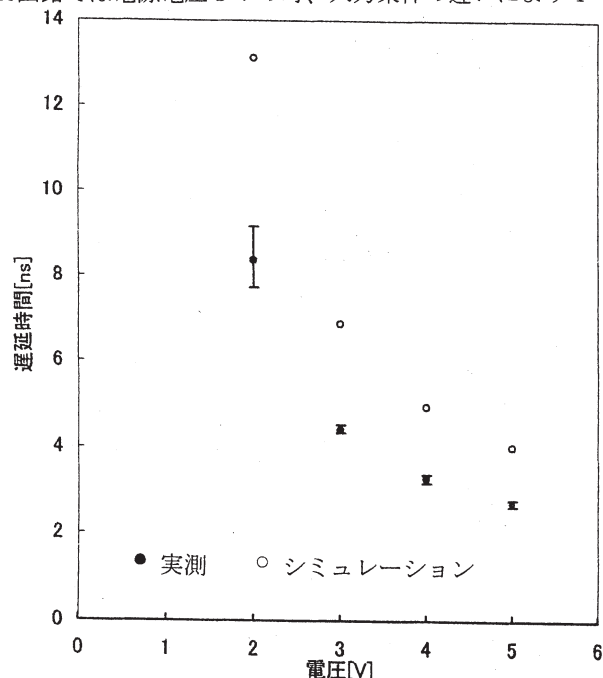


図12 8入力NANDにおける8入力同時変化と1入力変化の1段当たりの遅延時間差の電源電圧依存性

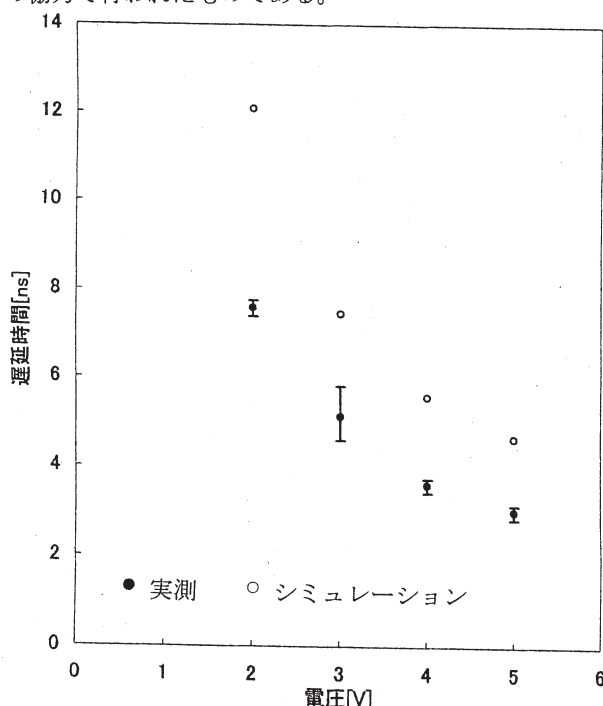


図13 8入力NORにおける8入力同時変化と1入力変化の1段当たりの遅延時間差の電源電圧依存性

参考文献

- 1) R. H. Dennard et al., "Design of ion-implanted MOSFETs with very small physical dimensions", IEEE J. of Solid-State Circuits, SC-9, pp. 256-268, 1974.
- 2) 波多野 裕、山本毅、渋谷耕児、"NAND及びNORゲート速度性能解析用実験回路の設計", 静岡理工科大学紀要, vol. 13, pp. 27-32, 2005.
- 3) T.Ochiai and H.Hatano," DC characteristic simulation for floating gate neuron MOS circuits", IEE Electronics Letters, vol.35, no. 18, pp.1505-1507, 1999.
- 4) T.Ochiai and H.Hatano," A proposition on floating gate neuron MOS macromodeling for device fabrications", IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol.E82-A, no. 11, pp. 2485-2491, 1999.
- 5) T.Ochiai and H.Hatano," A low temperature DC analysis utilizing a floating gate neuron MOS macromodel", IEICE Trans. Electron., vol.E86-C, pp. 1114 -1116, 2003.
- 6) 森章紀, "演算回路設計と基本論理回路速度解析", 静岡理工科大学 2005 年度卒業論文.