

# 中計に基づく学生実験用測定評価デバイスの設計試作

## Middle-term Plan Based Electronic Devices Design and Fabrication for Undergraduate Students Experiment Education

波多野 裕\*, 林 良平\*\*, 袴田尚吾\*\*\*, 石川貴幸\*\*\*\*

Hiroshi HATANO, Ryohei HAYASHI, Shogo HAKAMATA and Takayuki ISHKAWA

Abstract : In order to improve electron devices design and experiment education in the Department of Electrical and Electronics Engineering, six different devices have been designed and fabricated utilizing 1.2 μm double polysilicon double metal N-well CMOS technology. The proposed two experiments are possible candidates for device experiments of “Experiments in Electronic Engineering” in the SIST curricula 2008.

### 1. 緒言

2007年3月4日、本学電気電子工学科クリーンルームにおいて1991年開学時設置設備老朽化に起因する漏水事故<sup>(1)</sup>が発生し筆頭著者の居室及び実験研究室も冠水した。本報告では、老朽化した諸設備更新の困難な現状を鑑み、更に日本国内における大学レベルの集積回路教育の「ものづくり教育」の観点からの大きな進展も考慮に入れて、1996年に設置された大学共同利用センタ東大VDEC<sup>(2)</sup>を活用した学生実験用測定評価デバイスの設計試作を検討した結果を報告する。

1993年の本学紀要において「学部学生のための集積回路CAD教育の試み」<sup>(3)</sup>と題して、本学第1期生3年次の「電子デバイス実験」開始に合わせて、学生実験の「設計思想」とその内容の一部を報告した。その「設計思想」の延長上に今回の報告も位置するものである。

本報告は、現カリキュラムの3年前期「電子工学実験」からクリーンルーム関連テーマが2008年度からの新カリキュラム3年後期「光応用・電子デバイス実験」へ移行することによる「電子工学実験」の集積回路関連テーマ減少を補うための検討の一環である。本報告で述べる実験内容はCAD関連1テーマ、測定評価関連1テーマに相当し、合計2テーマ、学生実験の2回分に関する提案である。

NOT回路、NOR回路、NAND回路、EXOR回路、NMOSトランジスタ、リングオシレータの6種類のデバイスを1.2 μm 2層アルミニウムNウェルCMOSプロセスで設計試作した。NMOSの実効チャネル長は0.9 μm、PMOSの実効チャネル長は0.8 μmである。ゲート酸化膜厚は25 nmである<sup>(4)-(6)</sup>。

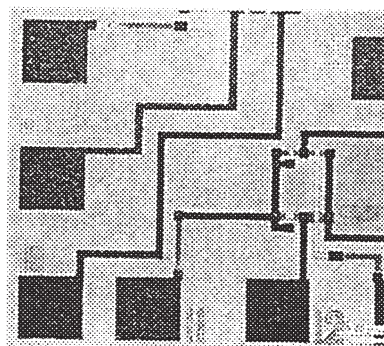


図1 既存の学生実験用チップの顕微鏡写真

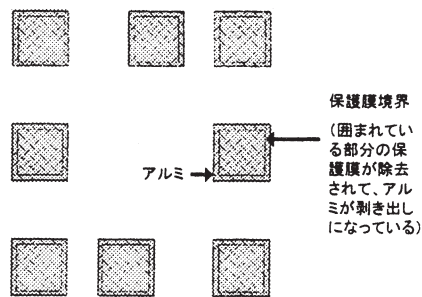


図2 設計した入出力パッドのレイアウト図

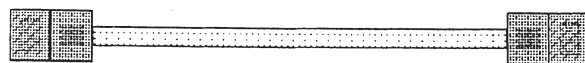


図3 入力保護抵抗のレイアウト図

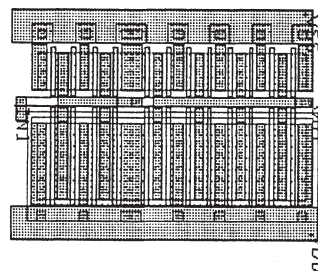
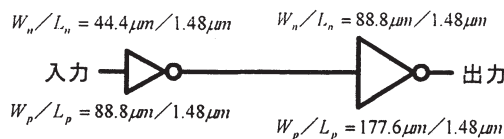


図4 出力バッファの回路図とレイアウト図

2008年2月29日受理

\* 理工学部 電気電子情報工学科  
 \*\* 理工学部 電子工学科卒業生(現在 エルナー(株))  
 \*\*\* 理工学部 電気電子情報工学科卒業生(現在 スズキ(株))  
 \*\*\*\* 理工学部 電気電子情報工学科卒業生(現在 (株)オサダ)

2. 入出力パッドの設計

設備更新の困難な現状を鑑み、現行の学生実験で用いている測定機器に合わせて入出力パッドの設計を行った。学生実験で用いられているチップの入出力パッドの顕微鏡写真を図1に示す。図1の写真にある入出力パッドの大きさ及びパッド間隔をもとにCADツールを用いて入出力パッドを設計した。設計した入出力パッドのレイアウト図を図2に示す。パッドの外枠はアルミ、内枠は保護膜境界

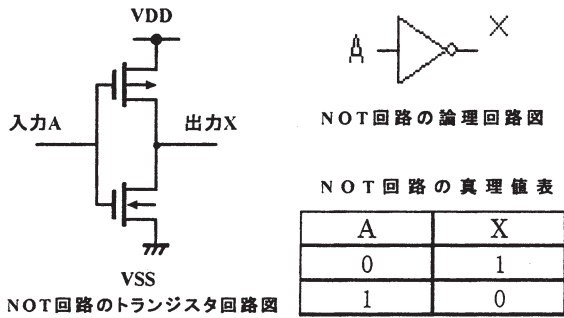


図5 NOT回路

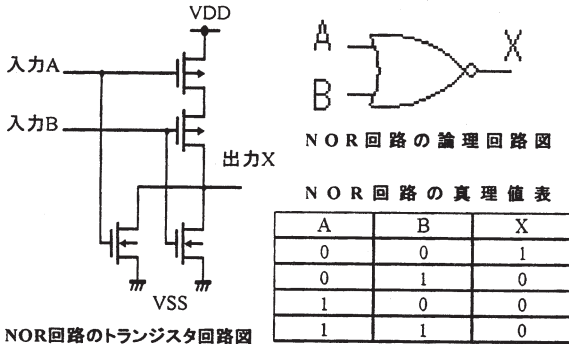


図6 NOR回路

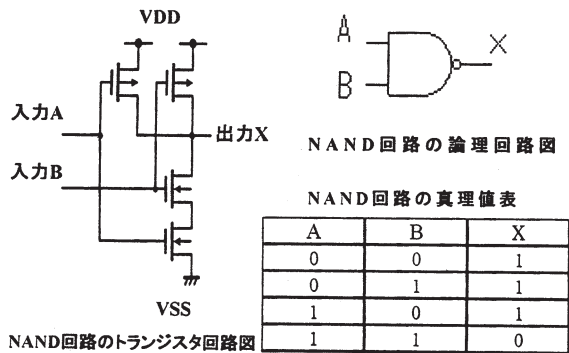


図7 NAND回路

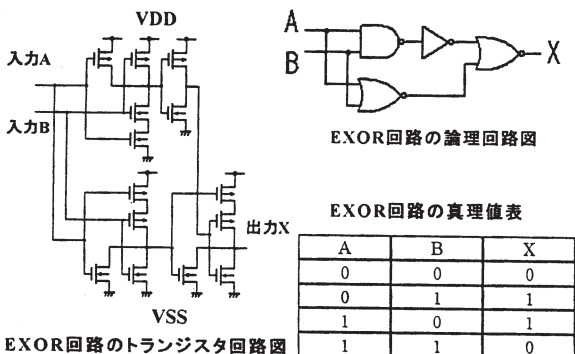


図8 EXOR回路

を表している。

3. デバイス設計とシミュレーション

過大電圧入力によるゲート破壊防止のため、入力パッドと配線間にn+拡散層で構成した入力保護抵抗を接続した。図3に入力保護抵抗のレイアウト図を示す。n+拡散層のシート抵抗は50~70Ω/□、入力保護抵抗の寸法は幅1.48μm、長さ29.6μmである。従って、入力保護抵抗

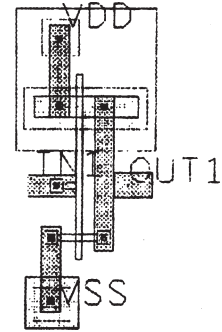


図9 NOT回路のレイアウト図

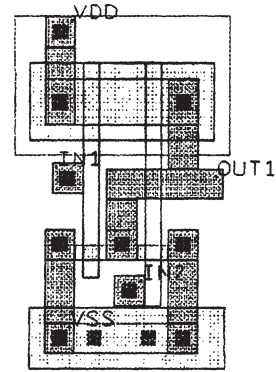


図10 NOR回路のレイアウト図

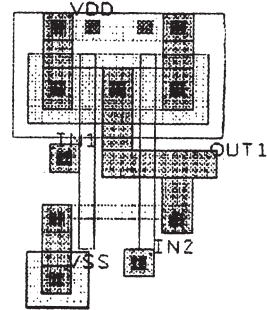


図11 NAND回路のレイアウト図

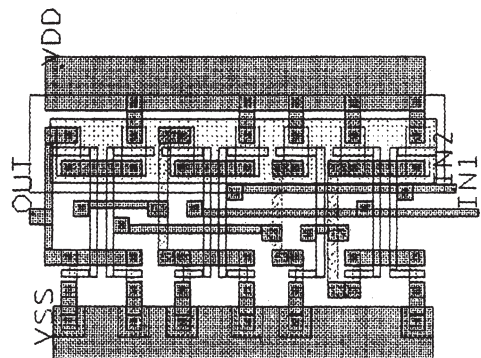


図12 EXOR回路のレイアウト図

の抵抗値は 1.0~1.4 kΩである。

各回路の出力には出力バッファを接続した。図4に出力バッファの論理回路図、トランジスタ寸法、及びレイ

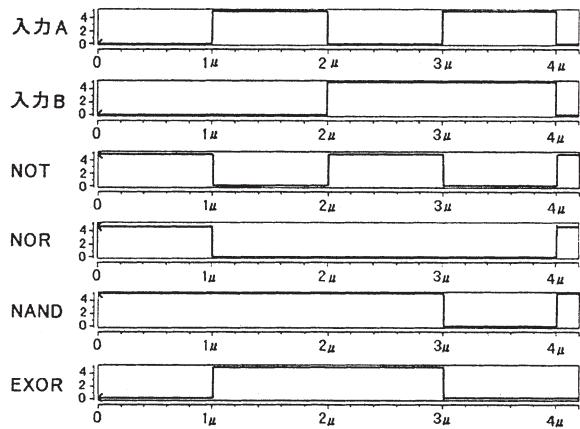


図13 NOT回路、NOR回路、NAND回路、EXOR回路のシミュレーション結果 横軸：時間(s) 縦軸：電圧(V)

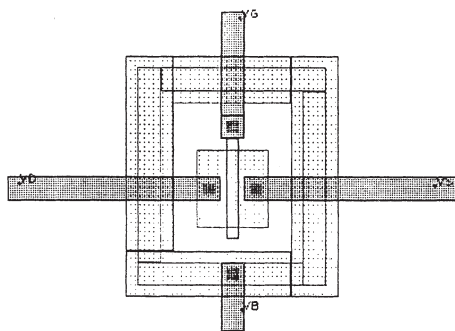


図14 NMOSトランジスタのレイアウト図

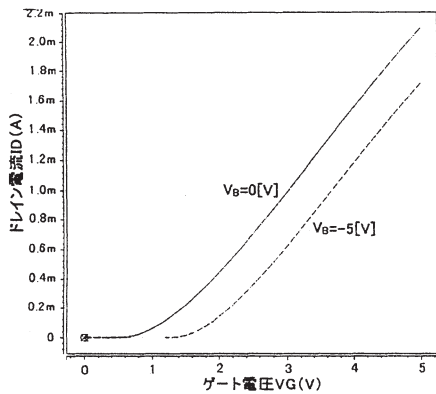


図15 NMOSのVG-ID特性のシミュレーション結果

$$V_{I(V_B)} = V_{I(0)} + \gamma \sqrt{V_B} \dots \textcircled{1}$$

$$\gamma = \left( \frac{I_{ox}}{\epsilon_{ox}} \right) \sqrt{2q\epsilon_{si}N} \dots \textcircled{2}$$

①、②より

$$N = \frac{\left( \frac{V_{I(V_B)} - V_{I(0)}}{\sqrt{V_B}} \times \frac{\epsilon_{ox}}{I_{ox}} \right)^2}{2q\epsilon_{si}}$$

図16 基板不純物濃度の算出方法

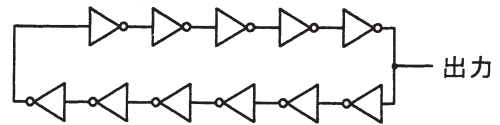
- ①・基板バイアス  $V_B = -5[V]$
- ・酸化膜厚  $t_{ox} = 250[\text{\AA}] = 250 \times 10^{-10}[m]$
- ②・酸化膜の誘電率  $\epsilon_{ox} = 35.4 \times 10^{-14}[F/m^{-1}]$
- ・電子の電荷量  $q = 1.6 \times 10^{-19}[C]$
- ・シリコンの誘電率  $\epsilon_{si} = 11.9 \times 10^{-14}[F/m^{-1}]$
- 計算の結果、不純物濃度Nは  $N = 2.63 \times 10^{22}[\text{個}/m^3]$

アウト図を示す。Lはゲート長、Wはゲート幅である。

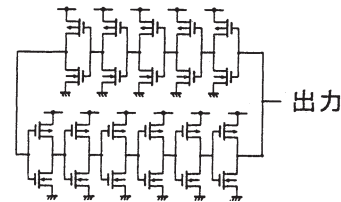
### 3.1 基本ゲート

図5から図8にNOT(インバータ)回路、NOR回路、NAND回路、EXOR(排他的論理和)回路の論理回路図、トランジスタ回路図および真理値表をそれぞれ示す。また、図9から図12にNOT回路、NOR回路、NAND回路、EXOR回路のレイアウト図を示す。PMOSのWはNMOSの3倍である。

図13に設計したNOT回路、NOR回路、NAND回路、EXOR回路の回路シミュレーション結果を示す。設



設計したリングオシレータの論理回路図



設計したリングオシレータのトランジスタ回路図

図17 11段リングオシレータ

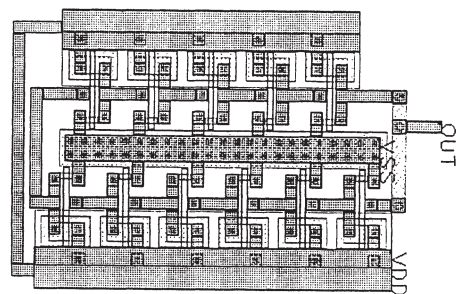


図18 リングオシレータのレイアウト図

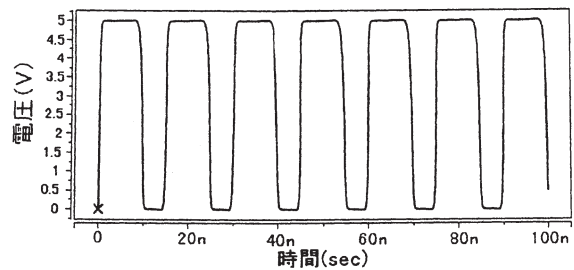


図19 リングオシレータのシミュレーション結果

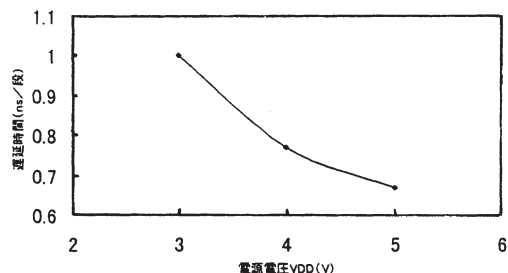


図20 遅延時間の電源電圧依存性(シミュレーション)

計した基本ゲートが正常に動作することを確認した。また、オシロスコープのプロブなどの測定系寄生容量 100 pF を想定したシミュレーションを行い 4.4 MHz まで動作することが判明した。

従って、測定評価の実験テーマでは、この 4 種類の基本ゲート回路を用いて、キロヘルツからメガヘルツまでの各種周波数特性を実測により学習することが可能である。

### 3.2 NMOSとリングオシレータ

設計した基板端子付き NMOS トランジスタのレイアウト図を図 14 に示す。基板バイアスを与えるためトランジスタの周りを p+ 拡散層で囲み基板端子を設けた。

この NMOS トランジスタを用いることにより、トランジスタのしきい値電圧の基板バイアス依存性のデータを求め、基板不純物濃度を算出する実験が可能になる。図 15 に、基板バイアス  $V_B = 0V$  における  $V_G - I_D$  特性と基板バイアス  $V_B = -5V$  における  $V_G - I_D$  特性のシミュレーション結果を示す。このグラフから、ドレイン電流が流れ始めるゲート電圧、即ち、しきい値電圧を求めた。しきい値電圧は、 $V_G - I_D$  曲線に X 軸付近で最小二乗法により接線を引き、その接線と X 軸の交点のゲート電圧とした。基板バイアス  $V_B = 0V$  におけるしきい値電圧は 0.95 V であった。基板バイアス  $V_B = -5V$  におけるしきい値電圧は 1.45 V であった。

この 2 つの値を用いて図 16 に示す方法で基板不純物濃度を算出した。式①は基板バイアスがある時と無い時のしきい値電圧の関係を表す教科書レベルの式である。

測定評価の実験テーマでは、試作チップの直流特性の実測により異なる基板バイアスを与えてしきい値電圧を測り、実測により基板不純物濃度を算出する実験を行う。

図 17 に設計した 11 段リングオシレータの論理回路図とトランジスタ回路図を、図 18 にリングオシレータのレイアウト図を示す。また、図 19 にシミュレーションにより求めた電源電圧 5V の場合の発振波形を示す。この発振波形から発振周期 T を求め、n 段リングオシレータのインバータ 1 段当たりの遅延時間  $t_{pd}$  を、

$$t_{pd} = T / (n \times 2)$$

から算出した。図 20 にシミュレーションにより求めた遅

延時間の電源電圧依存性のグラフを示す。

測定評価の実験テーマでは、異なる電源電圧に対してオシロスコープの発振波形から T を実測して実測により図 20 のグラフを作成する。この実験から電源電圧が回路速度へ及ぼす影響を体得することができる。

### 4. 試作結果

NOT 回路、NOR 回路、NAND 回路、EXOR 回路、NMOS トランジスタ、リングオシレータの 6 種類のデバイスを  $1.2 \mu m$  2 層アルミニウムウエル CMOS プロセスで試作した。NMOS の実効チャネル長は  $0.9 \mu m$ 、PMOS の実効チャネル長は  $0.8 \mu m$  である。ゲート酸化膜厚は 25 nm である。図 21 に 4 種類の出力バッファ付き基本ゲートの顕微鏡写真を示す。図 22 に NMOS トランジスタ (右上) と 11 段リングオシレータ (左下) の顕微鏡写真を示す。

### 5. 結言

電気電子工学科 3 年前期「電子工学実験」における学生実験のテーマを検討するため、CAD 関連テーマの 1 つとして、6 種類のデバイスをサブミクロン 2 層アルミニウムウエル CMOS プロセスで設計した。更に、測定評価関連テーマの 1 つとして、実測を前提として、6 種類のデバイスをサブミクロン 2 層アルミニウムウエル CMOS プロセスで試作した。各回路に入力保護抵抗と出力バッファを接続することにより、微細デバイスの取り扱いに慣れていない学生でもデバイスを破壊することなく、安定した高周波動作までの測定評価を行うことが可能である。

なお、チップ試作費用は 1 ペレットが約千円である。従って、定員 80 人として各学生に 1 ペレット与えても総額は約 8 万円である。一方、クリーンルーム維持費は年間 150 万円超掛かっている。

本報告は、CAD 実験と測定評価実験の 2 つのテーマが連動することを必ずしも前提としている訳ではない。即ち、測定評価用チップをあらかじめ作り貯めておくことを想定している。従って、CAD 関連テーマ単独の増設、あるいは、測定評価実験テーマ単独の増設にも対応できる。

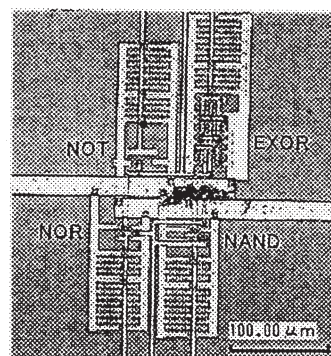


図 21 基本ゲートの顕微鏡写真

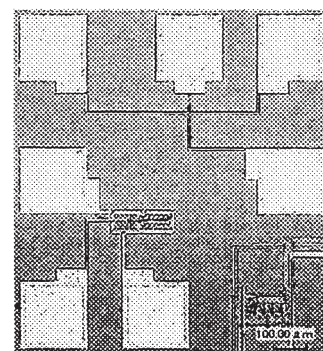


図 22 NMOS とリングオシレータの顕微鏡写真

最後に、VDECの存続性に関しては、所謂、地方単科小規模私立大学の存続性に比較すれば、前者の存続性の方が後者より遥かに高いと考えるのが妥当である。万が一のケースでは、例えば10年分800ペレットをあらかじめ作製しておくことにより次のカリキュラム変更まで対応することもできる。

VDEC設置に先立って、1980年代に半導体メーカーと私立大学教員の協力によりマイクロエレクトロニクス研究開発機構<sup>(3)</sup>が発足し、これが国によるVDEC設立に繋がった。VDECは産業界と大学の連携した、21世紀の工学部における「ものづくり教育」の全国レベルのモデル・ケースである。半導体分野以外の工学部門、例えば、ロボット、航空、情報通信、制御エネルギー、バイオ食品分野などでも、第二のVDECが望まれて久しい。VDECをモデルとして、日本の理工系教育全体を活性化することが産業立国を再び可能にする。

なお、本報告で述べた基板不純物濃度算出実験は、ウェーハ規格不明の場合に、デバイス測定から推定する方法である。得られる不純物濃度はトランジスタのゲート直下の、しきい値電圧調整用にイオン注入された不純物を含む値である。得られた値は、推定イオン注入量から見積もって妥当な結果であると考えられる。

#### 謝辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

#### 参考文献

- 1) 静岡理工科大学安全委員会事故報告書(2007. 3. 5)
- 2) <http://www.vdec.u-tokyo.ac.jp>
- 3) 波多野裕, “学部学生のための集積回路CAD教育の試み,” 静岡理工科大学紀要, vol. 2, pp. 27 - 42, 1993.
- 4) 林 良平, “学生実験用測定評価デバイス及びカウンタ回路の設計”, 静岡理工科大学 2007 年度卒業論文.
- 5) 袴田尚吾, “ハザード・フリーLSI回路”, 静岡理工科大学 2007 年度卒業論文 (第2章 学生実験用測定評価デバイスの設計試作)
- 6) 石川貴幸, “学生実験用測定評価デバイスの設計試作”, 静岡理工科大学 2007 年度卒業論文.