

CMOSメモリ・レジスタ回路のSEU効果

SEU Effects on CMOS Memory Register Circuits

波多野 裕*、鈴木 剛弘**

Hiroshi HATANO and Takehiro SUZUKI

Abstract : In order to design radiation-hardened LSIs for space applications, single-event-upset (SEU) effects on CMOS memory register circuits have been investigated using SPICE. A 4-bit memory register has been successfully fabricated utilizing a double polysilicon double metal 1.2 μm CMOS technology. The register has been confirmed to function correctly by the fabricated chip measurements. SEU simulation results have indicated that the memory register has almost the same order SEU immunity as the conventional circuits that were reported previously, showing usefulness for this proposed SEU simulation method.

1. 緒言

宇宙環境で使用されるCMOS集積回路は放射線の電離作用の影響が積算されて半永久的特性劣化を生じさせるトータル・ドーズ効果や単一の高エネルギー荷電粒子によるラッチアップ現象や回路の一時的誤動作であるシングル・イベント・アップセット (SEU) に対する耐性強化が必要である¹⁾。

2008年1月現在、太陽が新たな活動期に入っていると見られていて、太陽が活動期に入ると、太陽から放出される電子や陽子などの太陽風によって地上の電子製品の回路なども影響を受ける可能性が指摘されている。太陽の活動が最も激しくなるのは2011～2012年ごろとみられている。

われわれの研究室(電気電子工学科の光応用・電子デバイス分野)では、トランジスタ・レベルから回路設計を行い実際にチップを試作して、CMOS集積回路に対するSEU効果に関する一連の検討を行い、その結果の一部を既に報告してきた²⁾⁻⁵⁾。

本論文では、CPUで使用されているCMOSメモリ・レジスタ回路に対するSEU効果を検討した。レジスタは計算結果の保持、RAM、ROMへのアクセスのためのアドレス保持などを行う回路である。

4ビットCMOSメモリ・レジスタ回路を設計試作した。トランジスタ・レベルから回路設計を行い実際に1.2 μm CMOSプロセス(実効チャネル長NMOS0.9 μm 、PMOS0.8 μm)⁶⁾⁻¹⁰⁾を用いてチップを試作して、試作チップの実測によりその機能動作を確認することに成功した。更に、この実測により機能動作を確認できたレジスタ回路に対するSEU耐性をシミュレーションにより検討したので、それぞれの結果を報告する。

2. 4ビットCMOSメモリ・レジスタ

メモリ・レジスタは1ビットが1つのフリップフロップによって構成されていてビット数だけフリップフロップを並べ、書き込み制御信号と読み出し制御信号を全てのフリップフロップに共通に加えるよう構成される。そのため全ビット並列書き込み、並列読み出しの回路である。図1に設計した4ビットCMOSメモリ・レジスタの論理回路図を示す。フリップフロップは最もシンプルなSRフリップフロップを使用した。 \bar{W} は書き込み制御信号、 \bar{R} は読み出し制御信号である。

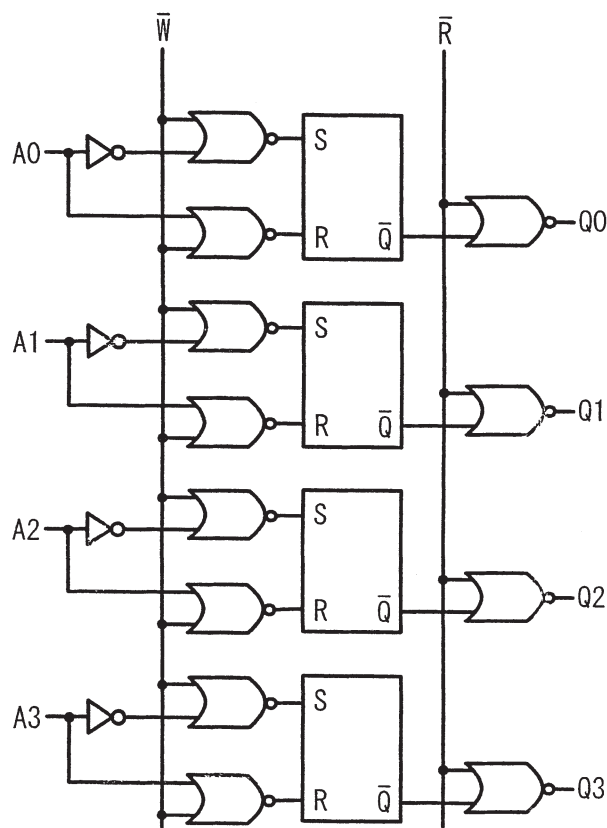


図1 4ビット・メモリ・レジスタの論理回路図

2008年2月1日受理

* 理工学部 電気電子情報工学科

**理工学部 電気電子情報工学科卒業生

(現在 浜松ホトニクス(株))

図2に4ビットCMOSメモリ・レジスタのトランジスタ回路図を示す。入力A0、A1、A2、A3、出力Q0、Q1、Q2、Q3である。SRフリップフロップはNORゲートを使用し、8トランジスタで構成した。総トランジスタ数は88である。

図3に4ビットCMOSメモリ・レジスタのレイアウト図を示す。1.2 μm 2層アルミニウムCMOSデザインルールにより設計した。占有面積は140 μm ×145 μm である。

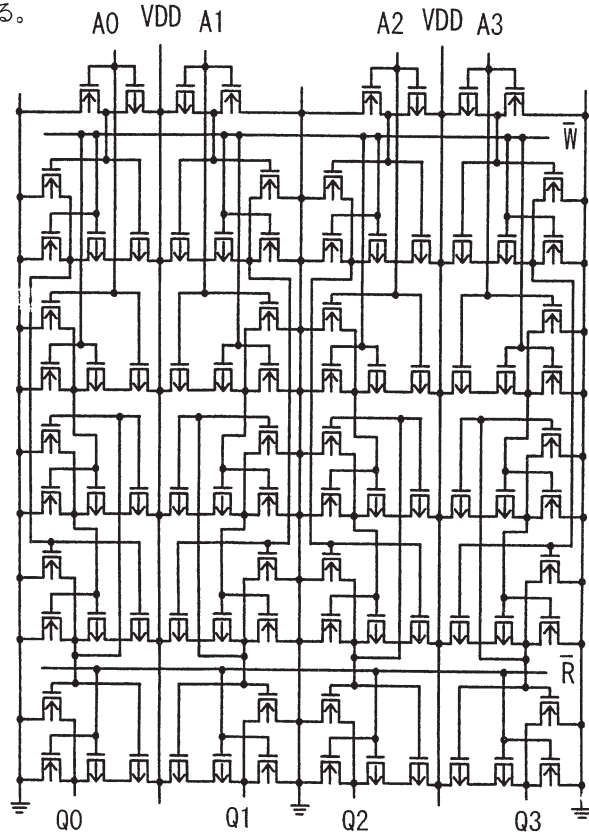


図2 メモリ・レジスタのトランジスタ回路図

図4に4ビットCMOSメモリ・レジスタの機能動作を確認するために行った回路シミュレーションの結果を示す。図の前半部分では1.1 μs 付近まで読み出し制御信号 \bar{R} がハイのため、出力Q0、Q1、Q2、Q3が入力にかかわらず全て0となっている。次に、1.1 μs 付近で書き込み制御信号 \bar{W} と読み出し制御信号 \bar{R} が同時に変化する時に着目する。 \bar{W} がローからハイに変化する直前は入力A0、A1、A2、A3が全て1である。従って、各フリップフロップにはデータ1が書き込まれる。同時に \bar{R} はハイからローに変化するため、データ1が読み出され、出力Q0、Q1、Q2、Q3が、次に \bar{W} がハイからローに変化

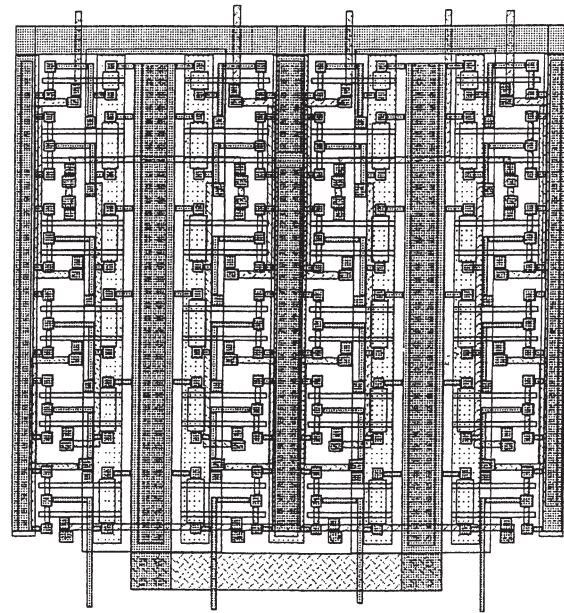


図3 メモリ・レジスタのレイアウト図

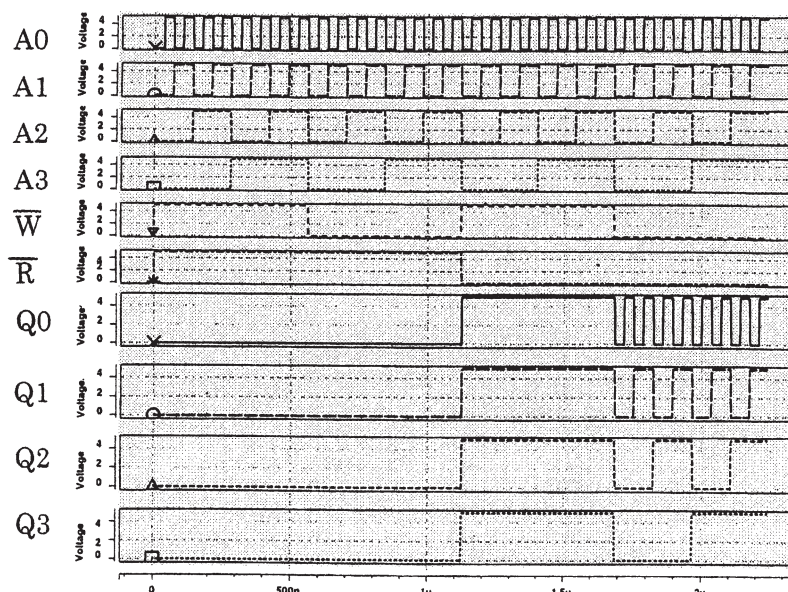


図4 メモリ・レジスタの動作シミュレーション

横軸：単位 (s) 縦軸：単位 (V)

する $1.7\mu s$ 付近まで、1 を保持する。 $1.7\mu s$ 以降は W も R もローであるため、入力 $A0$ 、 $A1$ 、 $A2$ 、 $A3$ の変化がそれぞれ、 $Q0$ 、 $Q1$ 、 $Q2$ 、 $Q3$ にそのまま出力されている。以上の結果から、設計した4ビットCMOSメモリ・レジスタが正しく動作することが確認できた。

図5に $1.2\mu m$ 2層アルミニウムウェルCMOSプロセスで試作した4ビットCMOSメモリ・レジスタの顕微鏡写真

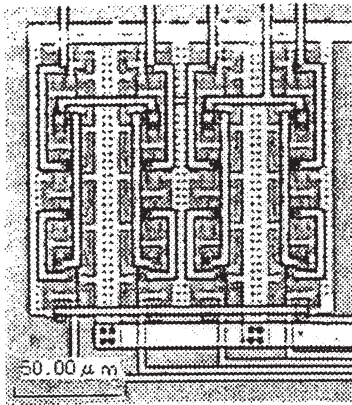


図5 メモリ・レジスタの顕微鏡写真

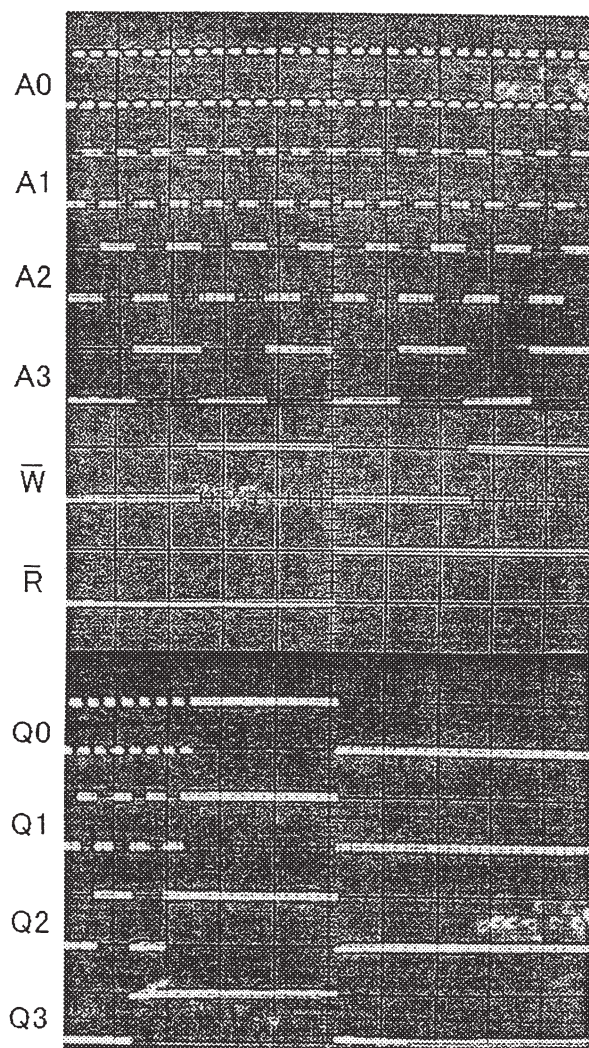


図6 メモリ・レジスタの実測波形
横軸： $25\mu s/div$. 縦軸： $5V/div$.

を示す。NMOSトランジスタとPMOSトランジスタのゲート長は $1.5\mu m$ で、実効チャネル長がNMOSは $0.9\mu m$ 、PMOSが $0.8\mu m$ である。ゲート酸化膜厚は $25nm$ である。

図6に試作した4ビットCMOSメモリ・レジスタの実測波形を示す。はじめの $60\mu s$ 付近までは書き込み制御信号 W と読み出し制御信号 \bar{R} がローであるため、入力 $A0$ 、

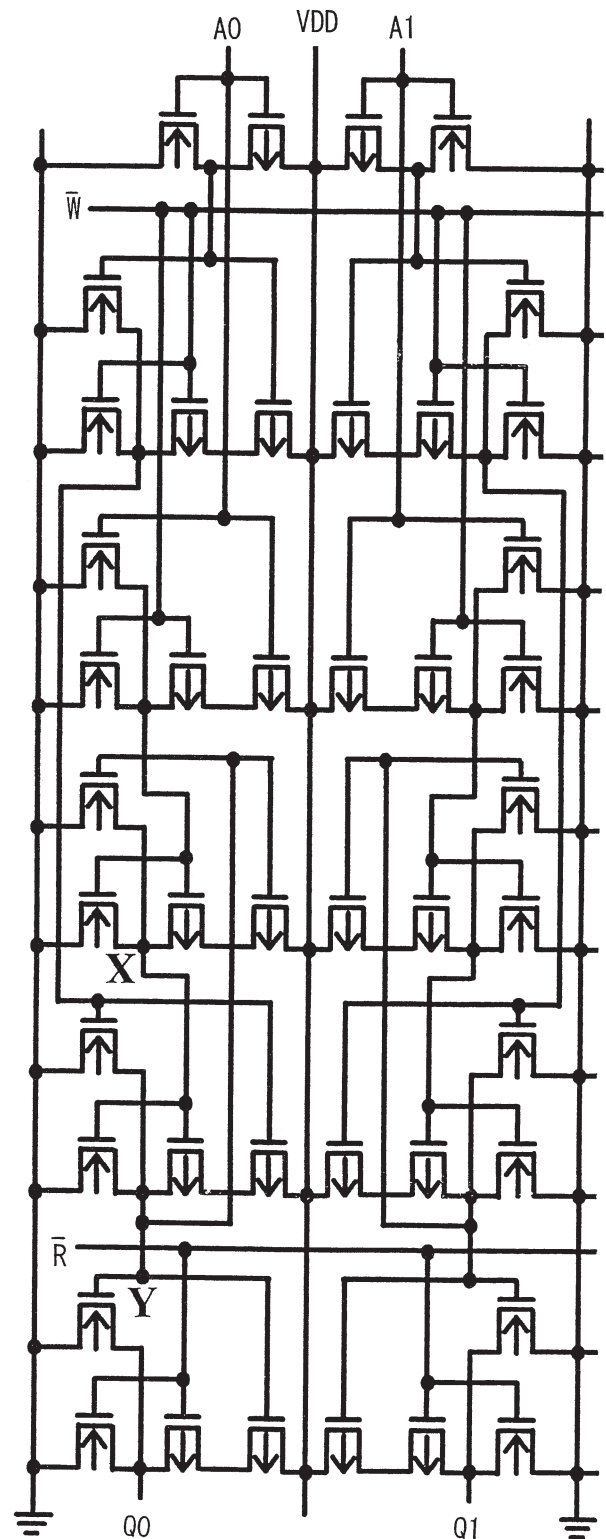


図7 メモリ・レジスタのノードX、ノードY

A1、A2、A3がそのままQ0、Q1、Q2、Q3に出力されている。次に、 \overline{W} がローからハイになる時、入力A0、A1、A2、A3が1になっているため、 \overline{W} がハイである125 μ s付近までの期間では、各フリップフロップに1が保持されQ0、Q1、Q2、Q3には1が出力されている。125 μ s以降は \overline{R} がハイであるため出力は全て0である。以上の結果から試作した4ビットCMOSメモリ・レジスタが正しく動作することが確認できた。

3. SEUシミュレーション

CMOS回路において内部の逆バイアス状態のPN接合に荷電粒子が照射されると空乏層に電荷が発生してPN接合をショートさせる。サブミクロンCMOSプロセス

で試作されたLSIにおける荷電粒子誘起電荷は約400 fCである¹¹⁾。同一バイアス条件で、この電荷量を変化させ、SEUの発生を観測して、回路のSEU耐性を検討した。

図7に示す、入力がA0、出力がQ0の部分のフリップフロップにおいて回路のノードX (FFのQ) がハイ・レベルの状態でNMOSのPN接合が逆バイアスの時に荷電粒子が入射するという想定でシミュレーションを行った。

1.5 μ sの時刻において、ノードXに500 fCの荷電粒子誘起電荷が発生した場合のシミュレーション結果を図8に示す。出力Q0の論理レベルの一時的低下が見られるが、電荷が消えた後は元の1レベルに戻り、正しいデータ1を

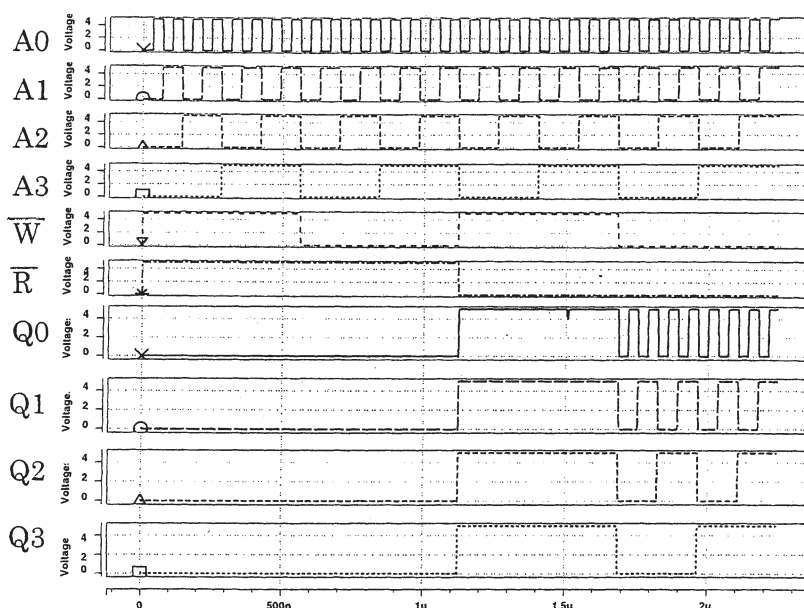


図8 メモリ・レジスタのノードXに500 fCの電荷が誘起された時のシミュレーション結果

横軸：単位 (s) 縦軸：単位 (V)

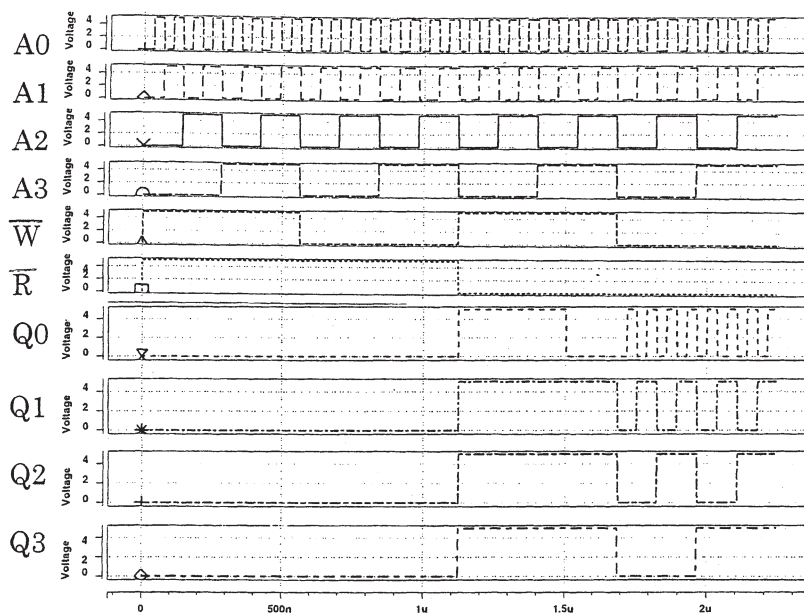


図9 メモリ・レジスタのノードXに550 fCの電荷が誘起された時のシミュレーション結果

横軸：単位 (s) 縦軸：単位 (V)

保持していることが分かる。

図 9 に、 $1.5\mu s$ の時刻において、ノード X に 550 fC の荷電粒子誘起電荷が発生した場合のシミュレーション結果を示す。この場合は $1.5\mu s$ 以降の \overline{W} がハイの期間、 Q_0 が 0 と誤動作して、SEU が発生していることが分かった。

更に、ノード Y (FF の \overline{Q}) がハイ・レベルの状態で NMOS の PN 接合が逆バイアスの時に荷電粒子が入射するという想定でシミュレーションを行った。この場合、各フリップフロップは 0 を保持している。 $1.5\mu s$ の時刻において、ノード Y に 650 fC の荷電粒子誘起電荷が発生した場合のシミュレーション結果を図 10 に示す。出力 Q_0 の論理レベル 0 の一時的上昇が見られるが、電荷が消え

た後は元の 0 レベルに戻り、正しいデータ 0 を保持していることが分かる。

図 11 に、 $1.5\mu s$ の時刻において、ノード Y に 700 fC の荷電粒子誘起電荷が発生した場合のシミュレーション結果を示す。この場合は $1.5\mu s$ 以降の \overline{W} がハイの期間、 Q_0 が 1 と誤動作して、SEU が発生していることが分かった。

図 9 と図 11 の結果を比較すると、ノード Y に荷電粒子が入射した場合の方が、ノード X に入射した場合より SEU 耐性が大きいことが分かる。これはノード Y にはトランジスタのゲート容量が 4 つ分、拡散容量が 3 つ分接続されているのに対して、ノード X にはゲート容量が 2 つ分、拡散容量が 3 つ分接続されていて、ノード Y の寄生容量が大

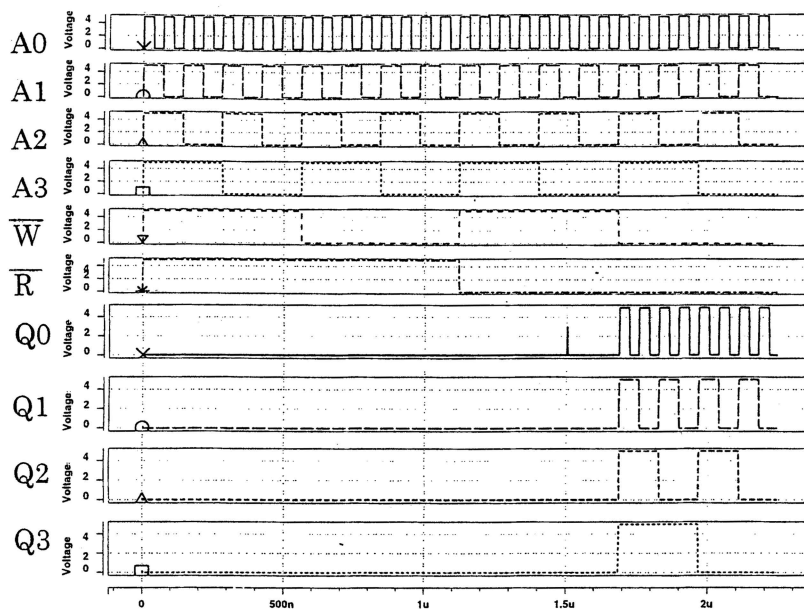


図 10 メモリ・レジスタのノード Y に 650 fC の電荷が誘起された時のシミュレーション結果

横軸：単位 (s) 縦軸：単位 (V)

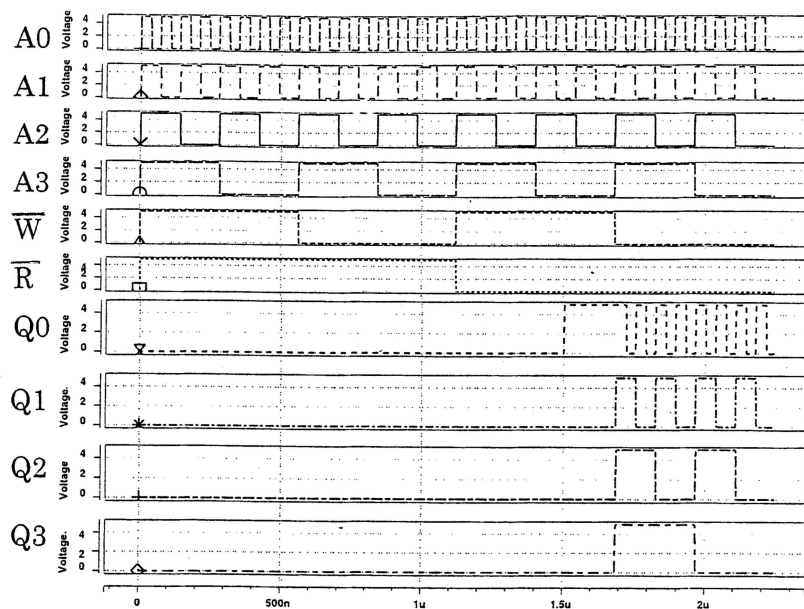


図 11 メモリ・レジスタのノード Y に 700 fC の電荷が誘起された時のシミュレーション結果

横軸：単位 (s) 縦軸：単位 (V)

きいためであると考えることができる。

以上のSEUシミュレーションから得られた従来回路の500 fCあるいは650 fCというSEU耐性は文献値400 fCから判断して妥当な結果であると考えられる。

4. 結言

シンプルな構成のSRフリップフロップを用いて4ビットCMOSメモリ・レジスタを設計試作した。トランジスタ・レベルから回路設計を行い実際に1.2 μ mCMOSプロセスによりチップを試作して、試作チップの実測によりその機能動作を確認することに成功した。

更に、この実測により機能動作を確認できたCMOSメモリ・レジスタ回路に対するSEU耐性をシミュレーションにより検討した。その結果、今回試作したメモリ・レジスタは当研究室が既に報告した従来形ラッチ回路のSEU耐性と比較して同程度の耐性であることが判明した。また、文献値と比較しても同程度の耐性であることが判明した。これにより本論分で用いたSEUシミュレーションの有効性と妥当性がメモリ・レジスタでも確認できた。

本論文で述べたSPICEによりSEU耐性をシミュレーションで予測可能であるという結果を踏まえて、今後は、当研究室で設計試作して既にその機能動作を実測により確認しているセット優先形SRフリップフロップ、マスター・スレーブ形JKフリップフロップ、Dラッチ、およびDフリップフロップの4種類の異なる記憶回路を用いた4種類のメモリ・レジスタ群に対するSEU耐性の比較検討を行う予定である。更に、2重ラッチ回路のような多重系を取り入れ、SEU耐性を強化したメモリ・レジスタの設計などが今後の課題である。

謝辞

メモリ・レジスタに対するSEUシミュレーションに関しては2007年度卒研生の横井和輝君（現在、三栄ハイテックス）の協力があつた。記して謝意を表す。

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター（株）、日本モトローラ（株）、HOYA（株）、京セラ（株）の協力で行われたものである。

参考文献

- 1) 波多野 裕, 耐環境CMOS超LSI, (1996).
- 2) H. Hatano et al., "Radiation-hard CMOS VLSI logics for space applications", The Bulletin of Shizuoka Inst. of Sci. & Tech., vol.4, p.1-7, 1995.

- 3) 波多野, 渋谷, 望月, "ナノ秒6トランジスタCMOSスタティックRAMの設計試作(1)メモリ・セルと光ビーム照射実験", 静岡理工科大学紀要, vol. 12, p. 109-118, 2004.
- 4) 波多野 裕, 水口隆太郎, "宇宙用高信頼順序論理回路の設計試作", 静岡理工科大学紀要, vol. 14, pp. 31-35, 2006.
- 5) 波多野 裕, "宇宙用2重ラッチ回路のSEU効果", 静岡理工科大学紀要, vol. 15, pp. 73-76, 2007.
- 6) T.Ochiai and H.Hatano, "DC characteristic simulation for floating gate neuron MOS circuits", IEE Electronics Letters, vol.35, no. 18, pp.1505-1507, 1999.
- 7) T.Ochiai and H.Hatano, "A proposition on floating gate neuron MOS macromodeling for device fabrications", IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol.E82-A, no. 11, pp. 2485-2491, 1999.
- 8) T.Ochiai and H.Hatano, "A low temperature DC analysis utilizing a floating gate neuron MOS macromodel", IEICE Trans. Electron., vol.E86-C, pp. 1114 -1116, 2003.
- 9) H.Hatano and T.Ochiai, "77K DC characteristics for floating gate neuron MOS circuits", Proceedings of 4th European Workshop on Low Temperature Electronics, pp.271-275, 2000.
- 10) H.Hatano and T.Ochiai, "Neuron MOS circuit performance improvements by low temperature operation", Proceedings of 4th European Workshop on Low Temperature Electronics, pp.49-53, 2000.
- 11) M.C.Casey et al., "HDB using cascode-voltage switch logic gates for SET tolerant digital designs", IEEE Trans. Nucl.Sci., vol.52, no.6, pp.2510-2515, 2005.