

10進デジタルLSI回路 (3) 10進計数回路

Decimal Digital LSI Circuits (3) Decimal counter circuits

波多野 裕*

Hiroshi HATANO

Abstract : Four different decimal counter circuits have been successfully fabricated using a double polysilicon and double metal 1.2 μm CMOS technology. The newly designed one-digit decimal asynchronous counter, one-digit decimal synchronous counter, two-digit decimal asynchronous counter and two-digit decimal synchronous counter have been confirmed to function correctly by fabricated chip measurements.

1. 緒言

分かりにくい2進数表示であるデジタル回路を、分かりやすい10進数表示に近づける工夫の一環として、10進デジタルLSI回路の設計試作を行っている。その一部は既報の“10進デジタルLSI回路(1)回路設計”¹⁾、および“10進デジタルLSI回路(2)実測結果”²⁾において報告した。

今回は1桁10進非同期式計数回路、1桁10進同期式計数回路、2桁10進非同期式計数回路および2桁10進同期式計数回路を2層ポリシリコン2層アルミ1.2 μm CMOSプロセス³⁾を用いて設計および試作を行い、試作チップの実測を行った。

2. 1桁10進計数回路

2.1 1桁10進非同期式計数回路

パルスの個数を計数する回路を計数回路(counter)という。10進計数回路をBCDコードにもとづいて設計した。Table 1に10進数とBCDコードの対応表を示す。

1桁10進非同期式計数回路をJKフリップフロップを用いて構成した。回路図をFig. 1に示す。

2.2 1桁10進同期式計数回路

1桁10進同期式回路の回路図をFig. 2に示す。同期式計数回路は、入力パルスを各フリップフロップに同時に加えるようにした高速向きの回路である。

2.3 レイアウト設計

2層ポリシリコン2層アルミ1.2 μm CMOSプロセスを用いてレイアウト設計を行った。Fig. 3に1桁10進非同期

式計数回路のレイアウト図を示す。Fig. 4に1桁10進同期式計数回路のレイアウト図を示す。

2.4 回路シミュレーション

レイアウト図から回路パラメータを抽出して回路シミュレーションを行い回路動作を検証した。

Fig. 5に1桁10進非同期式計数回路のシミュレーション結果を示す。Table 1と比較して設計した回路が正しく動作することを確認した。Fig. 6に1桁10進同期式計数回路のシミュレーション結果を示す。設計した回路は正しく動作していることが確認できた。

3. 2桁10進計数回路

3.1 2桁10進非同期式計数回路

0から99までの10進数とBCDコードの対応をTable 2に示す。2桁10進非同期式計数回路を1桁10進非同期式計数回路を用いて設計した。回路図をFig. 7に示す。

Table 1 One-digit decimal number by BCD code.

Decimal number	BCD code			
	Q4	Q3	Q2	Q1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

2009年3月5日受理

* 理工学部 電気電子工学科

3.2 2桁10進同期式計数回路

2桁10進同期式計数回路の回路図を Fig. 8 に示す。2桁10進同期式計数回路では5段目以降のJKフリップフロップへの入力信号の加え方を工夫した。

3.3 レイアウト設計

2層ポリシリコン2層アルミ1.2 μ mCMOSプロセスを用いてレイアウト設計を行った^{4,5)}。Fig. 9 に2桁10進非同期式計数回路のレイアウト図を示す。Fig. 10 に2桁10進同期式計数回路のレイアウト図を示す。

3.4 回路シミュレーション

レイアウト図から回路パラメータを抽出して回路シミュレーションを行い回路動作を検証した。

Fig. 11 に2桁10進非同期式計数回路のシミュレーション結果を示す。Table 2 と比較して設計した回路が正しく動作することを確認した。Fig. 12 に2桁10進同期式計数回路のシミュレーション結果を示す。設計した回路は正しく動作していることが確認できた。

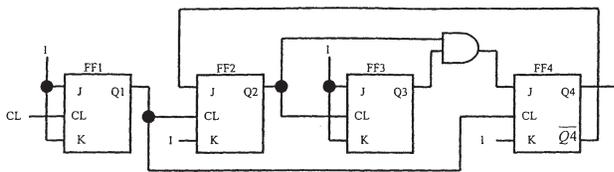


Fig. 1 One-digit decimal asynchronous counter circuit.

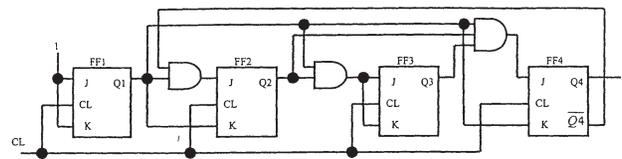


Fig. 2 One-digit decimal synchronous counter circuit.

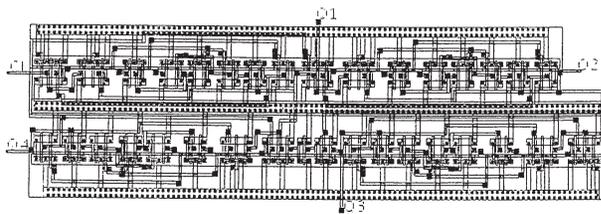


Fig. 3 One-digit decimal asynchronous counter layout.

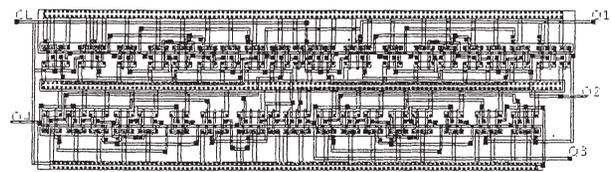


Fig. 4 One-digit decimal synchronous counter layout.

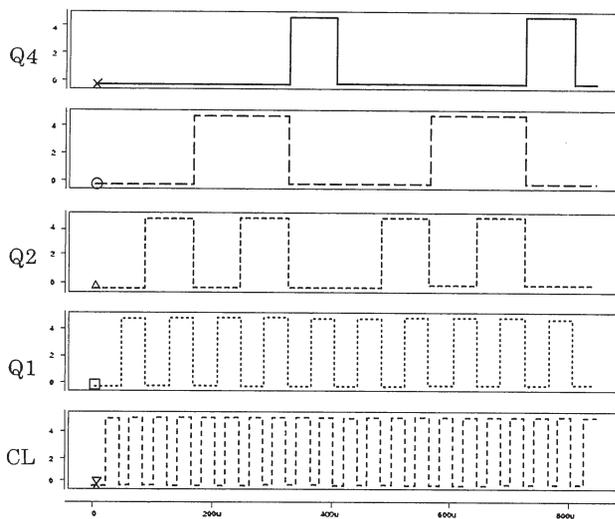


Fig. 5 Simulation results for one-digit decimal asynchronous counter. Horizontal axis: Time[s]. Vertical axis: Voltage[V].

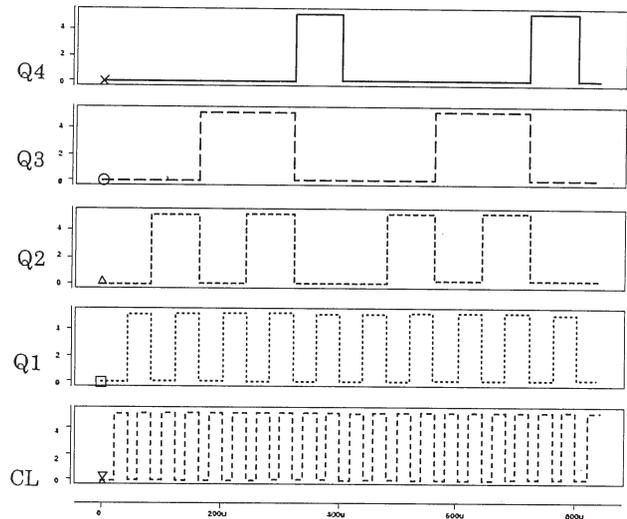


Fig. 6 Simulation results for one-digit decimal synchronous counter. Horizontal axis: Time[s]. Vertical axis: Voltage[V].

Table 2 Two-digit decimal number by BCD code.

Decimal number	BCD code								Decimal number	BCD code							
	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1		Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1
0	0	0	0	0	0	0	0	0	50	0	1	0	1	0	0	0	0
1	0	0	0	0	0	0	0	1	51	0	1	0	1	0	0	0	1
2	0	0	0	0	0	0	0	1	52	0	1	0	1	0	0	1	0
3	0	0	0	0	0	0	0	1	53	0	1	0	1	0	0	1	1
4	0	0	0	0	0	0	1	0	54	0	1	0	1	0	1	0	0
5	0	0	0	0	0	1	0	1	55	0	1	0	1	0	1	0	1
6	0	0	0	0	0	1	1	0	56	0	1	0	1	0	1	1	0
7	0	0	0	0	0	1	1	1	57	0	1	0	1	0	1	1	1
8	0	0	0	0	1	0	0	0	58	0	1	0	1	1	0	0	0
9	0	0	0	0	1	0	0	1	59	0	1	0	1	1	0	0	1
10	0	0	0	1	0	0	0	0	60	0	1	1	0	0	0	0	0
11	0	0	0	1	0	0	0	1	61	0	1	1	0	0	0	0	1
12	0	0	0	1	0	0	1	0	62	0	1	1	0	0	0	1	0
13	0	0	0	1	0	0	1	1	63	0	1	1	0	0	0	1	1
14	0	0	0	1	0	1	0	0	64	0	1	1	0	0	1	0	0
15	0	0	0	1	0	1	0	1	65	0	1	1	0	0	1	0	1
16	0	0	0	1	0	1	1	0	66	0	1	1	0	0	1	1	0
17	0	0	0	1	0	1	1	1	67	0	1	1	0	0	1	1	1
18	0	0	0	1	1	0	0	0	68	0	1	1	0	1	0	0	0
19	0	0	0	1	1	0	0	1	69	0	1	1	0	1	0	0	1
20	0	0	1	0	0	0	0	0	70	0	1	1	1	0	0	0	0
21	0	0	1	0	0	0	0	1	71	0	1	1	1	0	0	0	1
22	0	0	1	0	0	0	1	0	72	0	1	1	1	0	0	1	0
23	0	0	1	0	0	0	1	1	73	0	1	1	1	0	0	1	1
24	0	0	1	0	0	1	0	0	74	0	1	1	1	0	1	0	0
25	0	0	1	0	0	1	0	1	75	0	1	1	1	0	1	0	1
26	0	0	1	0	0	1	1	0	76	0	1	1	1	0	1	1	0
27	0	0	1	0	0	1	1	1	77	0	1	1	1	0	1	1	1
28	0	0	1	0	1	0	0	0	78	0	1	1	1	1	0	0	0
29	0	0	1	0	1	0	0	1	79	0	1	1	1	1	0	0	1
30	0	0	1	1	0	0	0	0	80	1	0	0	0	0	0	0	0
31	0	0	1	1	0	0	0	1	81	1	0	0	0	0	0	0	1
32	0	0	1	1	0	0	1	0	82	1	0	0	0	0	0	1	0
33	0	0	1	1	0	0	1	1	83	1	0	0	0	0	0	1	1
34	0	0	1	1	0	1	0	0	84	1	0	0	0	0	1	0	0
35	0	0	1	1	0	1	0	1	85	1	0	0	0	0	1	0	1
36	0	0	1	1	0	1	1	0	86	1	0	0	0	0	1	1	0
37	0	0	1	1	0	1	1	1	87	1	0	0	0	0	1	1	1
38	0	0	1	1	1	0	0	0	88	1	0	0	0	1	0	0	0
39	0	0	1	1	1	0	0	1	89	1	0	0	0	1	0	0	1
40	0	1	0	0	0	0	0	0	90	1	0	0	1	0	0	0	0
41	0	1	0	0	0	0	0	1	91	1	0	0	1	0	0	0	1
42	0	1	0	0	0	0	1	0	92	1	0	0	1	0	0	1	0
43	0	1	0	0	0	0	1	1	93	1	0	0	1	0	0	1	1
44	0	1	0	0	0	1	0	0	94	1	0	0	1	0	1	0	0
45	0	1	0	0	0	1	0	1	95	1	0	0	1	0	1	0	1
46	0	1	0	0	0	1	1	0	96	1	0	0	1	0	1	1	0
47	0	1	0	0	0	1	1	1	97	1	0	0	1	0	1	1	1
48	0	1	0	0	1	0	0	0	98	1	0	0	1	1	0	0	0
49	0	1	0	0	1	0	0	1	99	1	0	0	1	1	0	0	1

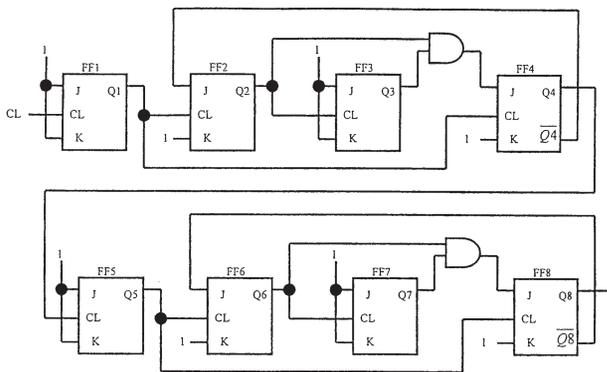


Fig. 7 Two-digit decimal asynchronous counter circuit.

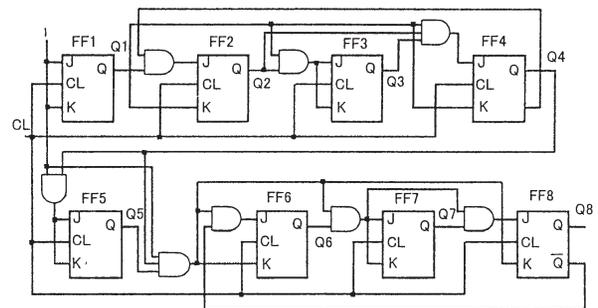


Fig. 8 Two-digit decimal synchronous counter circuit.

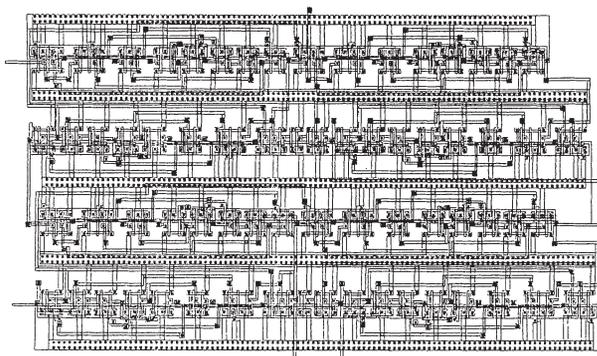


Fig. 9 Two-digit decimal asynchronous counter layout.

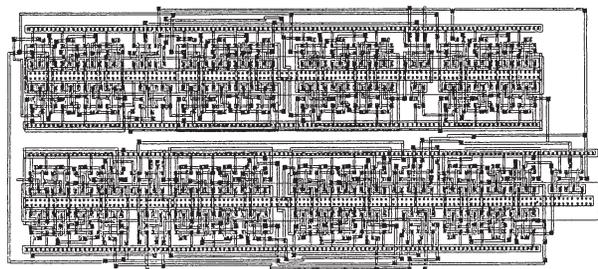


Fig. 10 Two-digit decimal synchronous counter layout.

4. 試作結果

4.1 顕微鏡写真

Fig. 13 から Fig. 16 に、2 層ポリシリコン 2 層アルミ 1.2 μm CMOS プロセスで試作した 1 桁 10 進非同期式計数回路、1 桁 10 進同期式計数回路、2 桁 10 進非同期式計数回路、2 桁 10 進同期式計数回路の顕微鏡写真を示す。

4.2 実測波形

Fig. 17 から Fig. 20 に、2 層ポリシリコン 2 層アルミ 1.2

μm CMOS プロセスで試作した 1 桁 10 進非同期式計数回路、1 桁 10 進同期式計数回路、2 桁 10 進非同期式計数回路、2 桁 10 進同期式計数回路の実測波形を示す。Fig. 5、Fig. 6、Fig. 11 および Fig. 12 に示したシミュレーション結果と比較して、試作した回路が正常に動作することを確認することに成功した。

5. 結言

10 進デジタル L S I 回路の設計試作の一環として、2

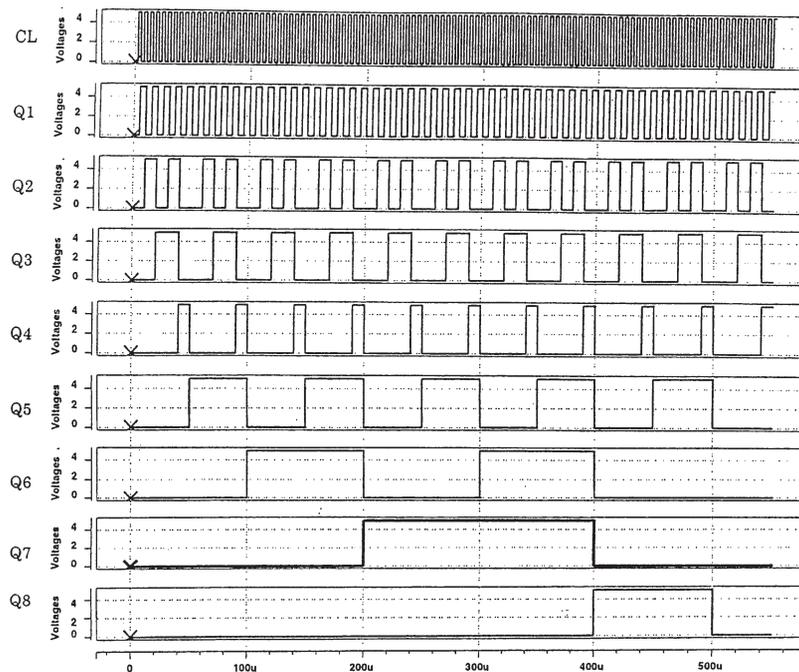


Fig. 11 Simulation results for two-digit decimal asynchronous counter. Horizontal axis: Time[s]. Vertical axis: Voltage[V].

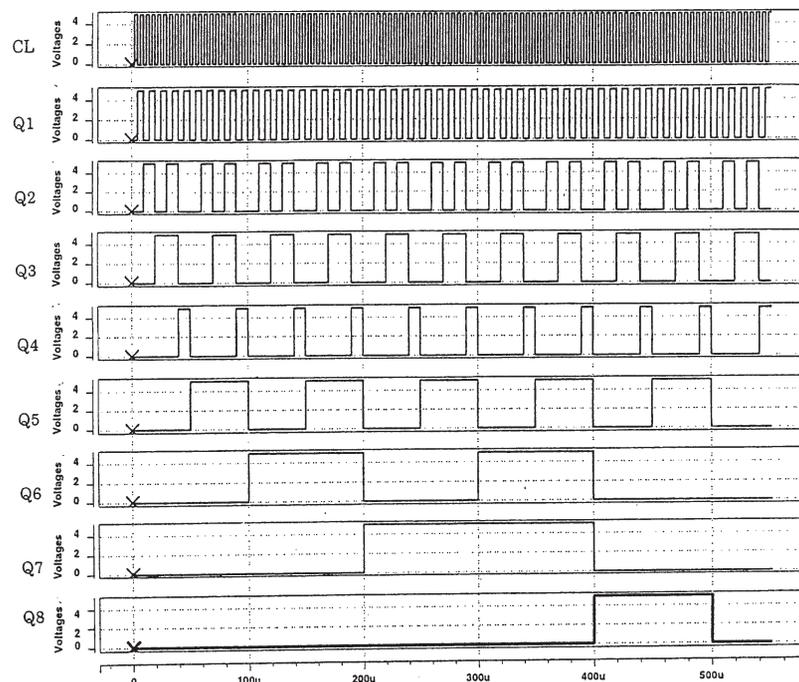


Fig. 12 Simulation results for two-digit decimal synchronous counter. Horizontal axis: Time[s]. Vertical axis: Voltage[V].

層ポリシリコン 2 層アルミ 1.2 μm CMOS プロセスにより 1 桁 10 進非同期式計数回路、1 桁 10 進同期式計数回路、2 桁 10 進非同期式計数回路および 2 桁 10 進同期式計数回路を設計試作した。試作回路の実測により全ての 10 進計数回路が設計どおり動作することを確認する事に成功した。

実測による試作回路の詳細な特性評価が今後の課題である。

謝辞

10 進計数回路の設計では 2006 年度卒研究生の内田昂志君 (現在、エンシュウ (株))、2007 年度卒研究生の横井和輝君 (現在、三栄ハイテックス (株))、久保田研司君 (現在、中立電機 (株)) の協力があった。また、10 進計数回路の実測に関しては横井和輝君及び 2008 年度卒研究生の神尾翔君 (2009 年 4 月からは、三栄ハイテックス (株)) の協力

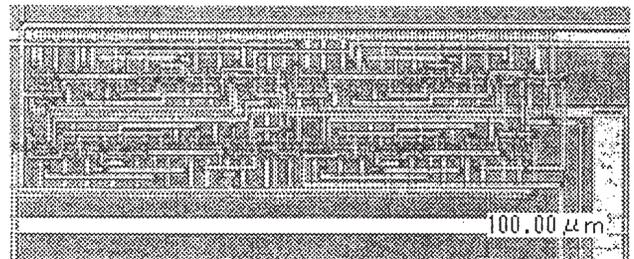
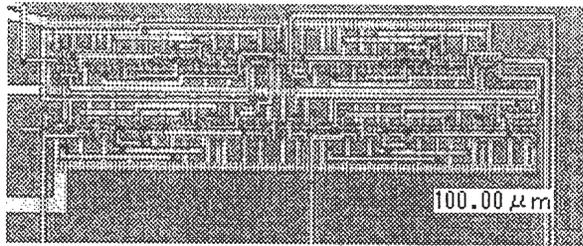


Fig.13 Photomicrograph of 1-digit decimal asynchronous counter.

Fig.14 Photomicrograph of 1-digit decimal synchronous counter.

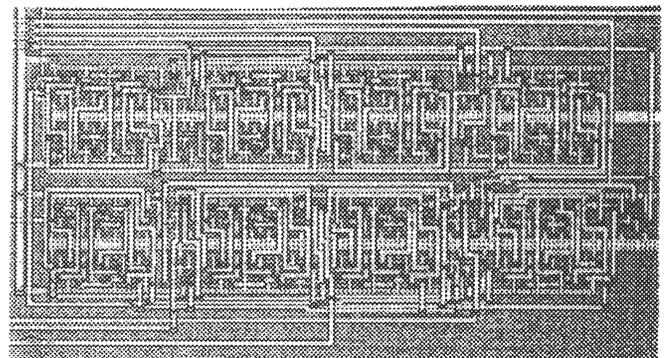
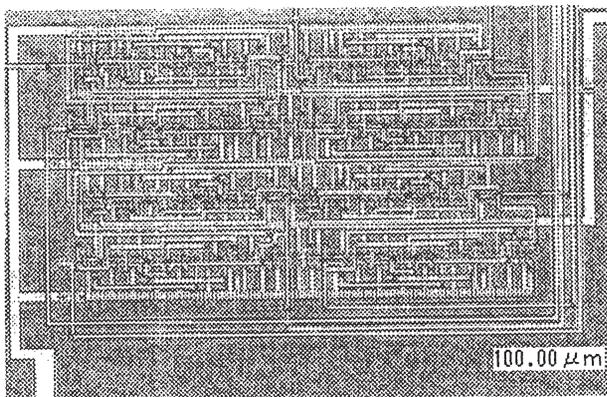


Fig.15 Photomicrograph of 2-digit decimal asynchronous counter.

Fig.16 Photomicrograph of 2-digit decimal synchronous counter.

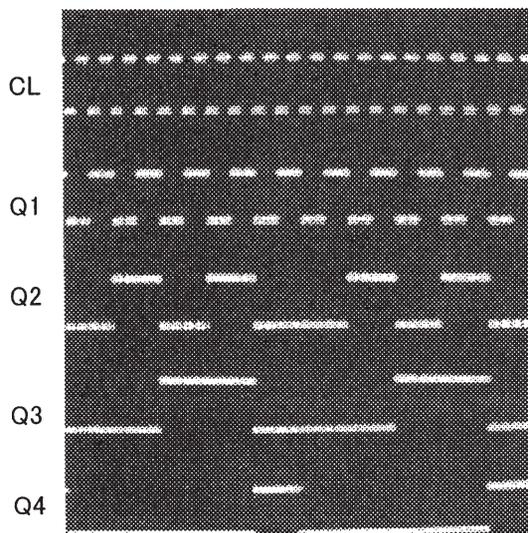


Fig.17 Signal waveforms of 1-digit decimal asynchronous counter. Horizontal axis: 50 $\mu\text{s}/\text{div.}$. Vertical axis: 5V/div..

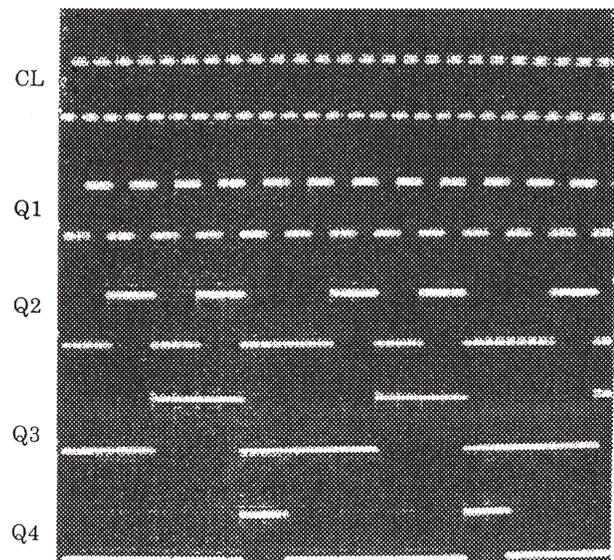


Fig.18 Signal waveforms of 1-digit decimal synchronous counter. Horizontal axis: 20 $\mu\text{s}/\text{div.}$. Vertical axis: 5V/div..

があった。記して謝意を表す。

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

参考文献

- 1) 波多野 裕、村松一矢、里中勝己、山本毅、“10進デジタルLSI回路(1)回路設計”、静岡理工科大学紀要、第14巻、pp.37-41、2006.
- 2) 波多野 裕、村松一矢、里中勝己、山本毅、“10進デジタルLSI回路(2)実測結果”、静岡理工科大学紀要、第15巻、pp.13-17、2007.
- 3) H. Hatano, “SEU effects on static and clocked cascade voltage switch logic (CVSL) circuits”, Proceedings of the 8th European Workshop on Radiation Effects on Components and Systems, pp. 136-140, Jyväskylä, 2008.
- 4) H. Hatano, “Single event effects on static and clocked cascade voltage switch logic circuits”, IEEE Trans. Nuclear Science, NS-56, No.2, 2009.

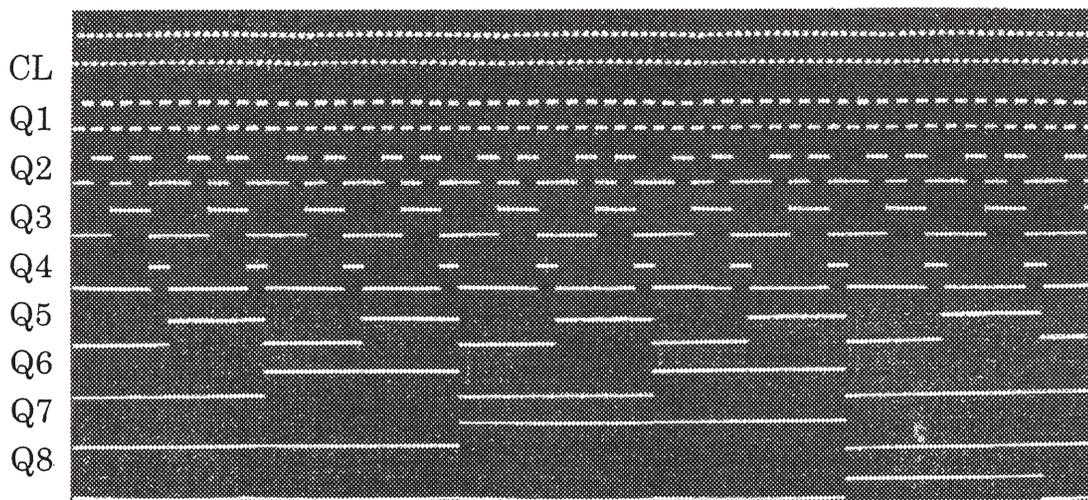


Fig.19 Signal waveforms of 2-digit decimal asynchronous counter. Horizontal axis: $20\mu\text{s}/\text{div.}$. Vertical axis: $5\text{V}/\text{div.}$.

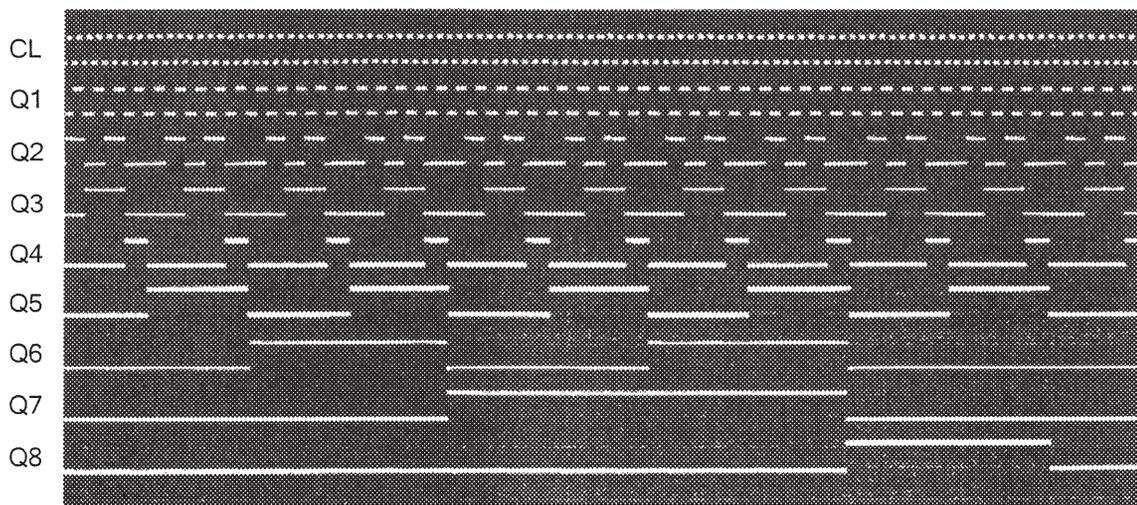


Fig.20 Signal waveforms of 2-digit decimal synchronous counter. Horizontal axis: $100\mu\text{s}/\text{div.}$. Vertical axis: $5\text{V}/\text{div.}$.

- 5) H. Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits," submitted to 9th European Workshop on Radiation Effects on Components and Systems, 2009.