

# CMOS比較回路（1）4ビット大小比較回路

CMOS Comparator Circuits (1) 4-bit comparator circuits

波多野 裕\*、横井 和輝\*\*

Hiroshi HATANO and Kazuki YOKOI

Abstract : A 4-bit CMOS digital comparator circuit has been successfully designed and fabricated using a double polysilicon and double metal 1.2  $\mu\text{m}$  CMOS technology. It consists of an input 1-bit comparator part and a 2-bit comparator tree followed by a decision circuit. The designed comparator has confirmed to function correctly by SPICE simulations. Furthermore, the fabricated comparator has confirmed to function correctly by chip measurements. About 40 % transistor number drastic reduction has been realized by introductions of the newly designed input 1-bit comparator, 2-bit comparator tree and decision circuit.

## 1. 緒言

大小比較器とは、2つ入力 A, B の論理レベルを比較してどちらが大きいか、または等しいかを判定する回路である。大小比較器はデジタル装置において入力を調整するための回路への帰還（フィードバック）を発生させるために用いられる。帰還は制御装置における決定的な要素である。例えば、物理量（温度、速度、位置、時間、光の速さ、圧力、重量など）が A/D 変換器により 2 進数形式に変換されれば、この計測結果は大小比較器の一方のデータ入力へ送ることができる。もう一方のデータ比較入力はオペレータにより目標とするレベルにセットされ、大小比較器の出力は物理量を目標とするレベルに駆動するための回路を活性化する制御信号を出す。

4ビット大小比較器を2層ポリシリコン2層アルミニウムウェルCMOSプロセス<sup>1)</sup>で設計試作した。本論文では回路設計、レイアウト設計、シミュレーション結果、および試作回路の実測結果について報告する。

## 2. 4ビット大小比較器の回路構成

設計した4ビット大小比較器は1ビットの入力部、2ビットの比較ツリー部、判定回路によって構成した。従来のツリー型の概念を参考にして設計している<sup>2)</sup>。

4ビット大小比較器の論理回路図を図1に示す。この回路は、左から、1ビット比較器、2ビット比較器および判定回路から構成されている。

### 2.1 1ビット比較器

1ビット大小比較器の論理回路図を図2に示す。1ビット比較器は入力部に相当する。4ビット入力に対して1ビット毎に大小比較を行い2ビット比較器に出力する。

1ビット比較器の真理値表を表1に示す。

### 2.2 2ビット比較ツリー部

2ビット入力 A (=a<sub>2</sub>, a<sub>1</sub>), B (=b<sub>2</sub>, b<sub>1</sub>) に対して、上位ビット、下位ビットの比較結果をそれぞれ c<sub>1</sub>, d<sub>1</sub>, c<sub>0</sub>, d<sub>0</sub> とする。これらを2ビット比較器に入力し、AとBの大小を比較する。2ビット比較器の真理値表を表2に示す。2ビット比較器を使用することで4ビット比較器の出力  $\bar{E}$ ,  $\bar{F}$  を得る。この部分は比較器ツリー部に相当する。ツリー部の構成を図3に示す。

4入力 NAND を5個のトランジスタで構成した。4入力 NAND のトランジスタ回路図を図4に示す。これは pMOS トランジスタのゲートを GND に接続する擬似インバータを応用して作成した。

### 2.3 判定回路

判定回路を図5示す。判定回路は比較器ツリー部の出力を入力としている。A>B のとき G=1, H=I=0 を、A=B のとき G=0, H=1, I=0, A<B のとき G=H=0, I=1 を出力する。判定表を表3に示す。

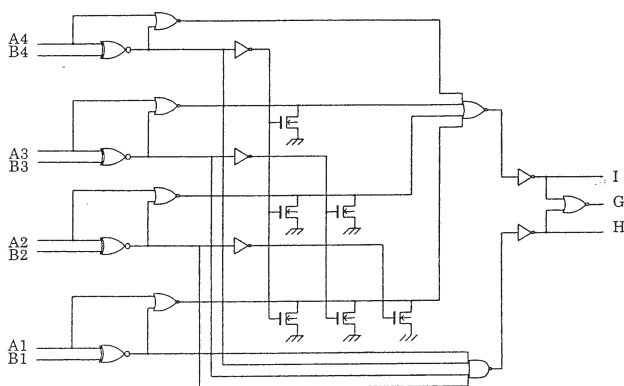


図1 4ビット大小比較器の論理回路図

2009年3月5日受理

\* 理工学部 電気電子工学科

\*\*理工学部 電気電子情報工学科卒業生（現在、三栄ハイテックス（株））

3. レイアウト設計および回路シミュレーション

4ビット大小比較器のトランジスタ回路図を図6に示す。図6を用いて2層ポリシリコン2層アルミNウェルCMOSプロセスに基づき、4ビット大小比較器のレイアウト設計を行った。レイアウトパターンを図7に示す。総トランジスタ数は73個、縦338 $\mu$ m、横616 $\mu$ m、占有面積208208 $\mu$ m<sup>2</sup>である。

レイアウトパターンから抽出した入力ファイルを用いて、HSPICEにより回路シミュレーションを実行した。4ビット大小比較器のシミュレーション結果を図8に示す。シミュレーション結果と表3を比較し、正しく動作していることを確認した。

4. 試作結果

2層ポリシリコン2層アルミNウェルCMOSプロセス<sup>3,4)</sup>を用いて設計した4ビット大小比較器を試作した。図

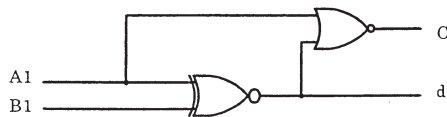


図2 1ビット大小比較器の論理回路図

表1 1ビット比較器の真理値表

入力		出力		
a	b	c	d	
0	1	1	0	a < b
0	0	0	1	a = b
1	1	0	1	a = b
1	0	0	0	a > b

表2 2ビット大小比較器の真理値表

入力				出力		
c1	d1	c0	d0	c'	d'	
0	0	*	*	0	0	a > b
0	1	0	0	0	0	a > b
		0	1	0	1	a = b
		1	0	1	0	a < b
1	0	*	*	1	0	a < b

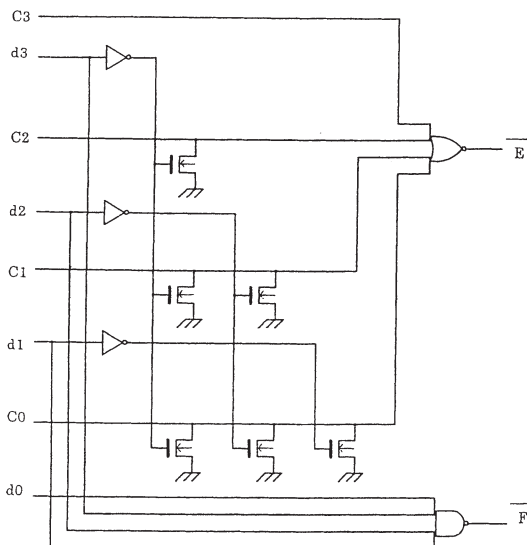


図3 ツリー部の回路図

9に試作した4ビット大小比較器の顕微鏡写真を示す。図10に試作した4ビット大小比較器の実測による入出力波形を示す。図8のシミュレーション結果と比較して正しく安定に動作していることを確認することに成功した。

5. トランジスタ数の削減

まず、図2の1ビット大小比較器において6個のトランジスタを削減した。参考文献2)にある従来の回路(Fig.2)では、4つのゲートから構成され16個のトランジスタを使用している。今回設計した回路は図2に示したように2つのゲートから構成され10個のトランジスタを使用している。

次に、図3のツリー部において5個のトランジスタを削減した。参考文献2)にある従来の回路(Fig.8)では、ゲート数6、トランジスタ数は30個である。今回設計した4ビット比較器では図3に示したようにゲート数5、トランジスタ数25個である。

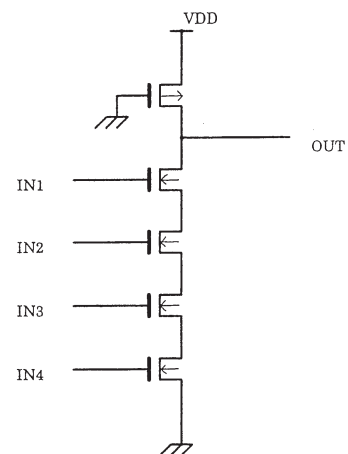


図4 4入力 NAND のトランジスタ回路図

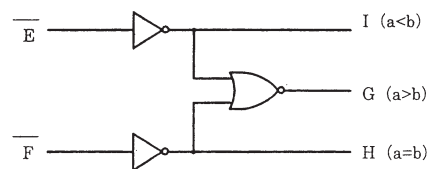


図5 判定回路の論理回路図

表3 判定表

入力		出力			
E	F	G	H	I	
1	1	1	0	0	a > b
1	0	0	1	0	a = b
0	1	0	0	1	a < b

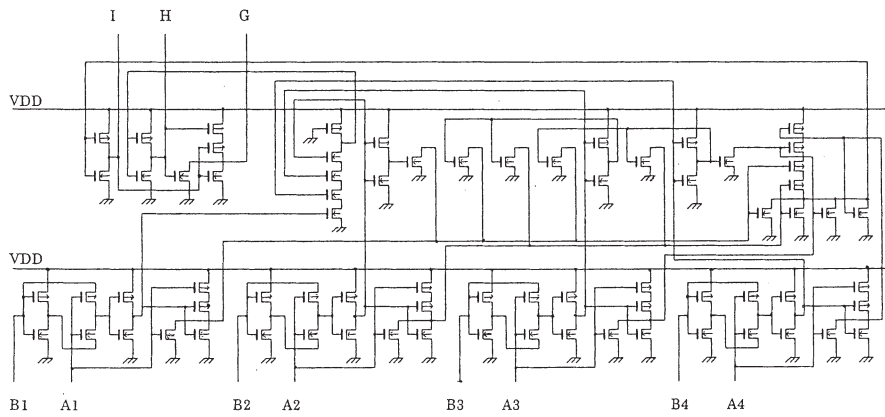


図6 4ビット大小比較器のトランジスタ回路図

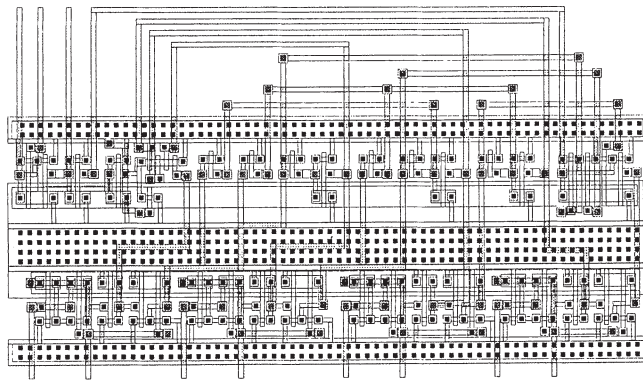


図7 4ビット大小比較器のレイアウト図

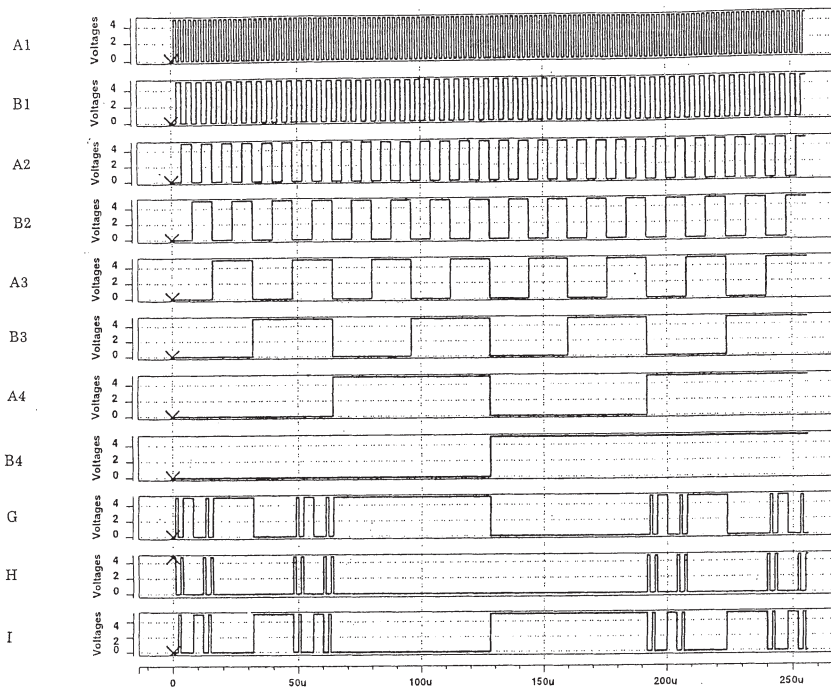


図8 4ビット大小比較器のシミュレーション結果  
横軸：時間[sec] 縦軸：電圧[V]



最後に、図5の判定回路の部分において14個のトランジスタを削減した。参考文献2)にある従来の判定回路(Fig.5)では、8つのゲートから構成され22個のトランジスタを使用している。今回設計した判定回路は図5に示したように3つのゲートから構成され8個のトランジスタを使用している。

以上、4ビット大小比較器として考えると、従来型は116個のトランジスタを使用するため、今回設計した4ビット大小比較器はトランジスタ数を43個削減したことになる。これは約40%のトランジスタ数の削減である。

6. 結言

4ビット大小比較器を2層ポリシリコン2層アルミニウムウェルCMOSプロセスで設計試作した。設計した4ビット大小比較器は1ビットの入力部、2ビットの比較ツリー部および判定回路によって構成した。HSPICEによる回路シミュレーションにより設計した4ビット大小比較器が正しく動作していることを確認した。更に、試作した4ビット大小比較器の実測により、正しく安定に動作していることを確認することに成功した。また、1ビットの入力部、2ビットの比較ツリー部及び判定回路の設計上の工夫により、従来形と比較してトランジスタ数を約40%削減

することができた。

謝辞

4ビット大小比較器の実測において、2008年度卒研究生、内田雅人君(2009年4月からアポロ技研(株))の協力があった。記して謝意を表す。

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

参考文献

- 1) H. Hatano, "Single event effects on static and clocked cascade voltage switch logic circuits", IEEE Trans. Nuclear Science, NS-56, No.2, 2009.
- 2) 早船明, 大橋政芳, 榎本忠儀, "CMOS デジタル大小比較回路の設計, 試作, 評価", 信学技報, DSP98-91, ICD98-178, pp. 13-18, 1998.
- 3) H. Hatano, "'SEU effects on static and clocked cascade voltage switch logic (CVSL) circuits", Proceedings of the 8th European Workshop on Radiation Effects on Components and Systems, pp. 136-140, Jyvaskyla, 2008.

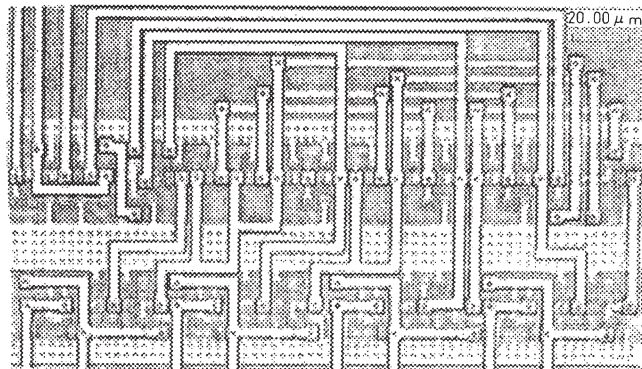


図9 4ビット大小比較器の顕微鏡写真

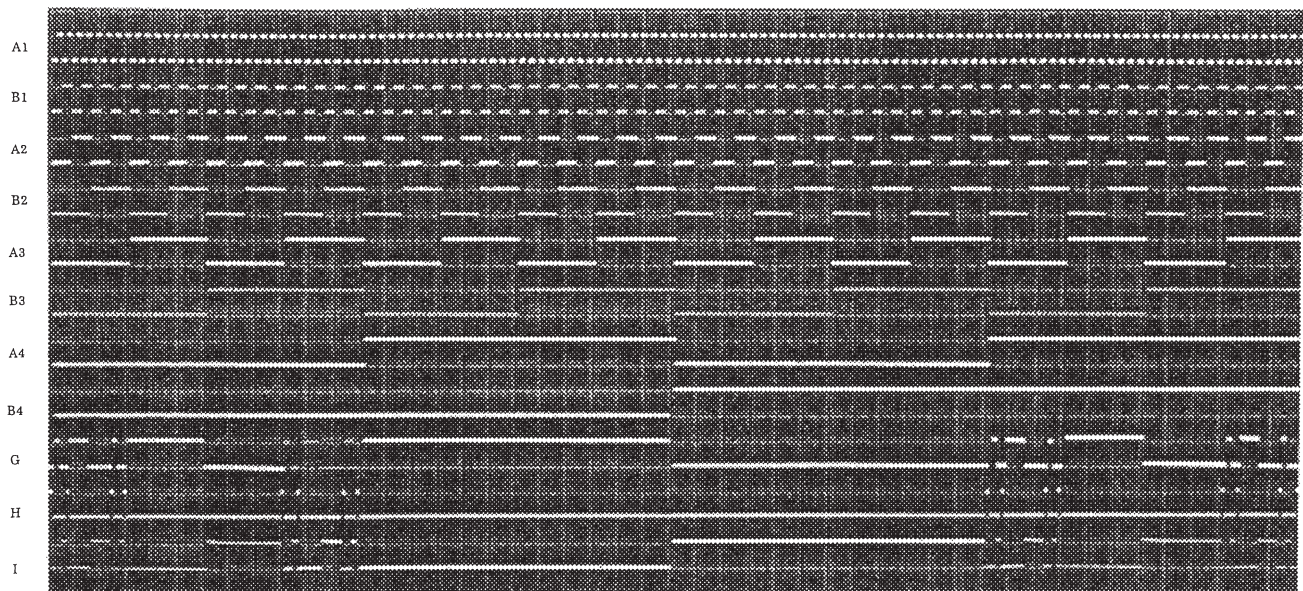


図10 4ビット大小比較器の実測結果

横軸：時間[220μs/div.] 縦軸：電圧[5V/div.]

- 4) H. Hatano, "Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits," submitted to 9th European Workshop on Radiation Effects on Components and Systems, 2009.